



**Espacenet**

## Bibliographic data: KR 20020022533 (A)

### SEMICONDUCTOR DEVICE, ITS MANUFACTURING METHOD AND MOUNTING STRUCTURE OF SEMICONDUCTOR DEVICE

**Publication date:** 2002-03-27

**Inventor(s):** ANJO ICHIRO; HOZOJI HIROSHI; INOUE KOSUKE; KANDA NAOYA; MINAGAWA MADOKA; NISHIMURA ASAO; OROKU NORIYUKI; TENMEI HIROYUKI; TSUNODA SHIGEHARU; UJIE KENJI; YAJIMA AKIRA; YAMAGUCHI YOSHIHIDE +

**Applicant(s):** HITACHI LTD +

**Classification:**

- **International:** H01L21/56; H01L21/60; H01L23/12; H01L23/29; H01L23/31; H01L23/485; (IPC1-7): H01L21/60
- **European:** H01L23/00C2B10; H01L23/00C2B11; H01L23/31H1; H01L23/31P6

**Application number:** KR20010014255 20010320

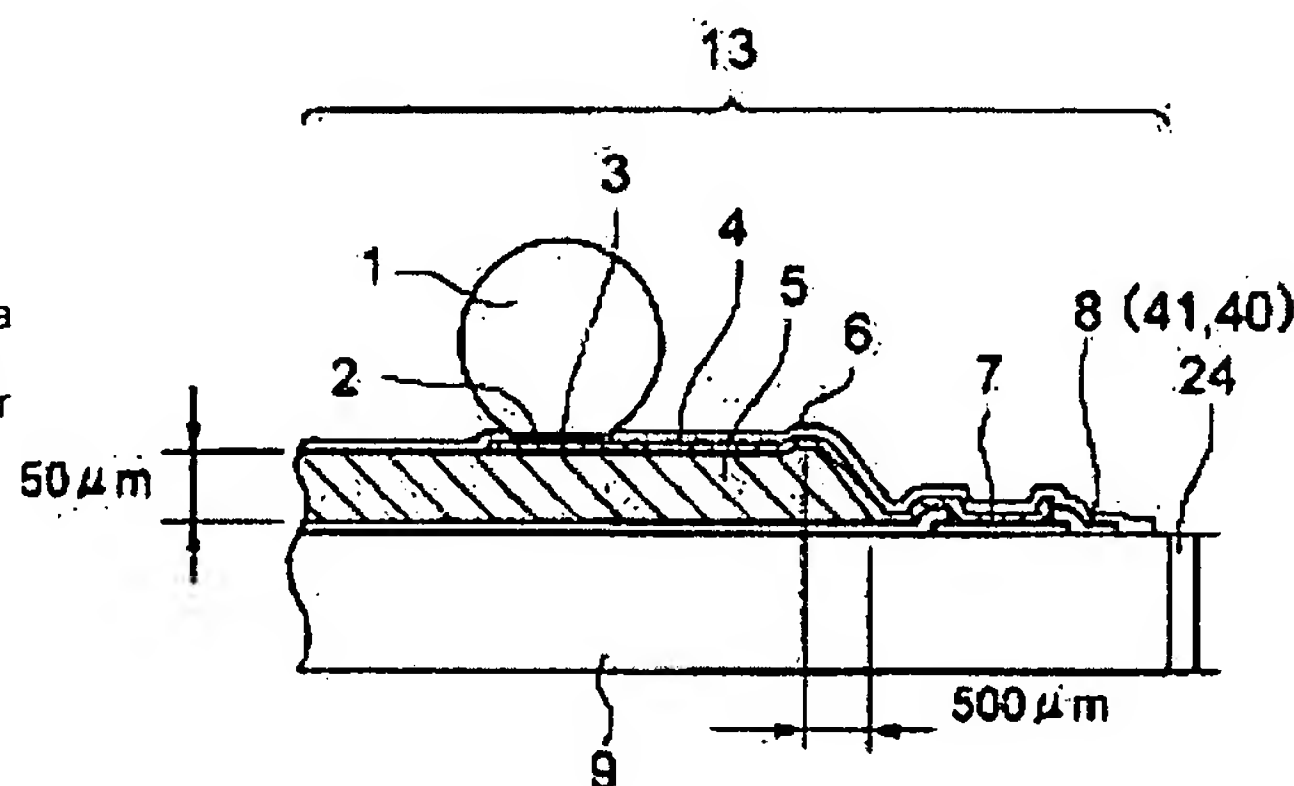
**Priority number (s):** JP20000284374 20000919

**Also published as:**

- US 2002063332 (A1)
- US 6930388 (B2)
- TW 559962 (B)
- JP 2002093947 (A)

### Abstract of KR 20020022533 (A)

**PURPOSE:** To realize a semiconductor device, enabling the flip-chip connection not needing the underfill. **CONSTITUTION:** The semiconductor device comprises a semiconductor element having a plurality of circuit electrodes and a circuit surface covered with a protective film, a stress relaxing layer which is formed on the protective film of the semiconductor element circuit surface with the circuit electrodes exposed and made of a cured thermoplastic resin with slopes at the edges, a wiring layer of a plurality of wirings which are connected respectively to the circuit electrodes and electrically conductively laid from the circuit electrodes to desired spots on the stress relaxing layer via the edges of this layer, a surface protective film thereon and outer connection terminals.



( 19) 대한민국특허청(KR)  
( 12) 공개특허공보(A)

( 51) 。 Int. Cl. 7  
H01L 21/60

( 11) 공개번호   특2002- 0022533

( 43) 공개일자   2002년03월27일

( 21) 출원번호           10- 2001- 0014255

( 22) 출원일자           2001년03월20일

( 30) 우선권주장           2000- 284374           2000년09월19일           일본(JP)

( 71) 출원인

가부시키키가이샤 히타치세이사쿠쇼  
가나이 쓰토무  
일본 도쿄토 치요다쿠 간다스루가다이 4쵸메 6반치

(72) 발명자

야마구찌요시히데  
일본도쿄도지요다꾸마루노우찌1쵸메신마루노우찌빌딩5- 1가부시키키가이샤히타치세이사쿠  
쇼지적소유권본부내  
덴메이히로유키  
일본도쿄도지요다꾸마루노우찌1쵸메신마루노우찌빌딩5- 1가부시키키가이샤히타치세이사쿠  
쇼지적소유권본부내  
이노우에고스께  
일본도쿄도지요다꾸마루노우찌1쵸메신마루노우찌빌딩5- 1가부시키키가이샤히타치세이사쿠  
쇼지적소유권본부내  
오로꾸노리유키  
일본도쿄도지요다꾸마루노우찌1쵸메신마루노우찌빌딩5- 1가부시키키가이샤히타치세이사쿠  
쇼지적소유권본부내  
호조지히로시  
일본도쿄도지요다꾸마루노우찌1쵸메신마루노우찌빌딩5- 1가부시키키가이샤히타치세이사쿠  
쇼지적소유권본부내  
즈노다시게하루  
일본도쿄도지요다꾸마루노우찌1쵸메신마루노우찌빌딩5- 1가부시키키가이샤히타치세이사쿠  
쇼지적소유권본부내  
간다나오야  
일본도쿄도지요다꾸마루노우찌1쵸메신마루노우찌빌딩5- 1가부시키키가이샤히타치세이사쿠  
쇼지적소유권본부내  
미나가와마도까  
일본도쿄도지요다꾸마루노우찌1쵸메신마루노우찌빌딩5- 1가부시키키가이샤히타치세이사쿠  
쇼지적소유권본부내  
안조이찌로  
일본도쿄도지요다꾸마루노우찌1쵸메신마루노우찌빌딩5- 1가부시키키가이샤히타치세이사쿠  
쇼지적소유권본부내  
니시무라아사오  
일본도쿄도지요다꾸마루노우찌1쵸메신마루노우찌빌딩5- 1가부시키키가이샤히타치세이사쿠  
쇼지적소유권본부내  
우지이에겐지  
일본도쿄도지요다꾸마루노우찌1쵸메신마루노우찌빌딩5- 1가부시키키가이샤히타치세이사쿠  
쇼지적소유권본부내  
야지마아끼라  
일본도쿄도지요다꾸마루노우찌1쵸메신마루노우찌빌딩5- 1가부시키키가이샤히타치세이사쿠  
쇼지적소유권본부내

(74) 대리인

구영창  
장수길

심사청구 : 있음

---

## (54) 반도체 장치 및 그 제조 방법과, 반도체 장치 실장 구조체

---

요약

본 발명의 목적은 언더필이 불필요한 플립 칩 접속을 가능하게 하는 반도체 장치를 실현하는 데 있다.

복수의 회로 전극이 배열되어 보호막이 피복된 회로면을 구비한 반도체 소자와, 상기 반도체 소자의 회로면의 보호막 상에 상기 회로 전극을 노출시켜 형성되고, 경화된 열가소성 수지로 이루어져, 엣지부에 경사를 형성한 응력 완화층과, 상기 회로 전극의 각각에 접속되어 그 회로 전극으로부터 상기 응력 완화층의 엣지부를 통해서 응력 완화층의 표면의 원하는 개소까지 전기적으로 연결되어 배치되는 복수의 배선으로 이루어지는 배선층과, 그 위의 표면 보호막과, 외부 접속 단자를 포함하여 구성된 반도체 장치이다.

대표도

도 1

색인어

반도체 장치, 응력 완화층, 표면 보호막, 마스크, 웨이퍼

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 반도체 장치의 일 실시예의 구조를 도시한 부분 단면도.

도 2는 본 실시예에 따른 반도체 장치가 연속적으로 형성되어 있는 상태를 도시한 평면도.

도 3은 본 발명에 따른 반도체 장치의 제조 공정의 일 실시예인 제1~ 제3공정을 도시한 도면.

도 4는 본 발명에 따른 반도체 장치의 제조 공정의 일 실시예인 제4~ 제6공정을 도시한 도면.

도 5는 본 발명에 따른 반도체 장치의 제조 공정의 일 실시예인 제7~ 제9공정을 도시한 도면.

도 6은 본 발명에 따른 응력 완화층의 형성에 사용하는 인쇄용 마스크를 도시한 도면.

도 7은 응력 완화층을 인쇄하고 있는 공정을 도시한 도면.

도 8은 인쇄 마스크가 웨이퍼보다 상승하는 판 분리 공정을 도시한 도면.

도 9는 응력 완화층이 형성된 반도체 장치를 도시한 단면도.

도 10은 노광용 마스크를 레지스트에 밀착시킨 상태를 도시한 도면.

도 11은 재 배선용 배선의 일 실시예를 도시한 칩 전체도 및 칩 확대도.

도 12는 재 배선용 배선의 일 실시예를 도시한 평면도.

도 13은 실제의 재 배선용 배선의 현상부족을 도시한 도면.

도 14는 도 12와는 다른 재 배선용 배선의 다른 실시예를 도시한 도면.

도 15는 도 12 및 도 14와 다른 재 배선용 배선의 다른 실시예를 도시한 도면.

도 16은 각종의 재 배선용 배선을 실시한 실시예를 도시한 도면.

도 17은 웨이퍼 상에 형성되는 보호막으로서의 유기막을 국부적으로 형성한 제1의 실시예를 도시한 단면도 및 평면도.

도 18은 웨이퍼 상에 형성되는 보호막으로서의 유기막을 국부적으로 형성한 제2의 실시예를 도시한 단면도 및 평면도.

도 19는 웨이퍼 상에 형성되는 보호막으로서의 유기막을 국부적으로 형성한 제3의 실시예를 도시한 평면도.

도 20은 본 발명에 있어서의 제7공정까지를 거친 반도체 장치의 일 실시예를 도시한 단면도.

도 21은 본 발명에 따른 반도체 장치를 기판에 탑재한 일 실시예를 도시한 도면.

도 22는 본 발명에 따른 응력 완화층의 재료로서, 열가소성 수지 A, B를 사용하는 경우의 특성을 설명하기 위한 도면.

도 23은 본 발명에 따른 응력 완화층의 재료로서, 열 경화성 수지 C, D, E를 사용하는 경우의 특성을 설명하기 위한 도면.

도 24는 본 발명에 따른 응력 완화층의 수지 재료 P~ S의 각각에 있어서의 실온(상온:20℃ 정도)에서 프로세스중의 최고 온도 T<sub>max</sub>까지의 신장 누적치(팽창량)를 설명하기 위한 도면.

도 25는 응력 완화층 후보 재료의 물성치와 스퍼터 내성을 도시한 도면.

도 26은 스퍼터에 의한 주름·균열 기구를 설명하는 도면.

도 27은 본 발명에 따른 반도체 장치를 기판에 탑재한 다른 일 실시예를 도시한 단면도.

도 28은 본 발명에 따른 반도체 장치를 기판에 탑재한 다른 일 실시예를 도시한 단면도.

#### < 도면의 주요 부분에 대한 부호의 설명>

- 5 : 응력 완화층
- 7 : 알루미늄 패드
- 8 : 보호막
- 9 : 웨이퍼
- 13 : 반도체 장치

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플립 칩 접속을 가능하게 하는 반도체 장치 및 그 제조 방법 및 반도체 장치 실장 구조체에 관한 것이다.

플립 칩 접속을 가능하게 하는 반도체 장치의 종래 기술로서는 특개평11- 111768호 공보(이하, 종래 기술1이라 한다)에 기재되어 있는 바와 같이 언더필을 사용한 반도체 장치가 알려져 있다. 그러나, 언더필은 완성된 전기 제품을 사용할 때의 발열 등에 의한 접속부에 발생하는 왜곡에 기인하는 접속부의 파괴를 방지할 목적으로 실시되고 있고, 실시하지 않은 경우에는 반도체 장치의 접속 수명이 극단적으로 짧게 되어 버린다고 하는 과제가 생긴다.

이러한 언더필을 사용하지 않고, 플립 칩 접속을 가능하게 하는 반도체 장치의 종래 기술로서는 특개평11- 54649호 공보(종래 기술2) 및 특개평11- 354560호 공보(종래 기술3)가 알려져 있다. 상기 종래 기술2에는 반도체 소자가 배치되어 있는 반도체 기판과, 상기 반도체 기판의 주면상에 배열되어 상기 반도체 소자에 전기적으로 접속되는 소자 전극과, 상기 반도체 기판의 주면상에 형성되어 절연성의 탄성 재료로 이루어지는 탄성체층과, 적어도 상기 반도체 기판상의 상기 소자 전극을 노출시키도록 상기 탄성체층을 부분적으로 제거하여 형성된 개구부와, 상기 소자 전극 상으로부터 상기 탄성체층 상에 걸쳐 연속적으로 연장시켜 형성된 금속 배선층과, 그 금속 배선층의 일부로서 상기 탄성체층 상에 설치되어 외부 기기와의 전기적 접속을 행하기 위한 외부 전극과, 상기 금속 배선층을 덮는 표면 보호막을 구비한 반도체 장치가 기재되어 있다. 또한, 반도체 기판은 웨이퍼로부터 잘려 절출된 칩 상태라는 것도 기재되어 있다. 또한, 상기 탄성체층(저탄성율층)의 두께는  $10 \sim 150 \mu m$  인 것이 바람직하고, 또한, 그 탄성율(영율)은  $10 \sim 1000 \text{ kg/mm}^2$ 의 범위에 있는 것이 보다 바람직하며, 또한, 그 선팽창율은  $10 \sim 100 \text{ ppm/}^\circ\text{C}$ 의 범위에 있는 것이 보다 바람직하다고 기재되어 있다. 또한, 상기 탄성체층의 재료로서는 감광성을 갖는 절연 재료막으로서, 예를 들면 에스테르 결합형 폴리이미드나 아크릴 레이트계 에폭시 등의 폴리머면 되고, 저탄성율을 가지고, 절연성이면 된다고 기재되어 있다. 또한, 감광성을 가지지 않는 절연 재료를 사용하는 경우에는 레이저나 플라즈마에 의한 기계적인 가공 혹은 에칭 등의 화학적 가공에 의해 반도체 기판상의 소자 전극을 노출시킬 수 있다는 것도 기재되어 있다.

또한, 종래 기술3에도 동일한 것이 기재되어 있다.

그러나, 상기 종래 기술2, 3에는 탄성체층(응력 완화층)의 표면에 형성하는 배선층의 절단을 방지하려고 하는 점에 대해서 충분히 고려되어 있지 않다.

#### 발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로, 그 목적은 배선층의 절단을 방지하여 불량 발생수를 저감한 언더필이 불필요한 플립 칩 접속을 가능하게 하는 반도체 장치 및 그 제조 방법 및 반도체 장치 실장 구조체를 제공하는데 있다.

상기 목적을 달성하기 위해서, 본 발명은 특허 청구 범위대로 구성하는 것이다. 즉, 본 발명은 복수의 회로 전극이 배열되어 보호막이 피복된 회로면을 구비한 반도체 소자와, 상기 반도체 소자의 회로면의 보호막 상에 상기 회로 전극을 노출시켜 형성되고, 경화한 열가소성 수지로 이루어져, 엠티부에 경사를 형성한 응력 완화층과, 상기 회로 전극의 각각에 접속되어 그 회로 전극으로부터 상기 응력 완화층의 엠티부를 통해서 응력 완화층의 표면의 원하는 개소까지 전기적으로 연결되어 배치되는 복수의 배선으로 이루어지는 배선층과, 상기 응력 완화층의 표면에서의 복수의 배선의 각각의 소정의 개소를 노출시켜 상기 배선층의 표면을 피복한 표면 보호막과, 상기 노출한 복수의 배선의 각각의 소정의 개소에 범프를 접합하여 형성한 외부 접속 단자를 구비하여 구성된 것을 특징으로 하는 반도체 장치이다.

또한, 본 발명은 상기 반도체 장치에 있어서, 응력 완화층의 경사 엠티부에 연결되는 주변부에 팽창 부분을 형성하고 그 위의 상기 배선에 굴곡 부분을 형성하는 것을 특징으로 한다.

이에 따라, 배선의 절단을 방지할 수가 있다.

또한, 본 발명은 상기 반도체 장치에 있어서, 응력 완화층의 경화한 열가소성 수지의 용융 온도  $T_m$ 이 상기 배선층 및 표면 보호막을 형성할 때의 최고 도달 온도  $T_{max}$  이상으로 구성된 것을 특징으로 한다.

또한, 본 발명은 상기 반도체 장치에 있어서, 응력 완화층의 경화한 열가소성 수지의 용융 온도  $T_m$ 이  $350^\circ\text{C}$  이상으로 구성된 것을 특징으로 한다.

또한, 본 발명은 상기 반도체 장치에 있어서, 응력 완화층의 경화한 열가소성 수지의 유리 전이 온도  $T_g$ 가  $150^\circ\text{C} \sim 400^\circ\text{C}$ 의 범위로 구성된 것을 특징으로 한다.



또한, 본 발명은 상기 반도체 장치에 있어서, 응력 완화층의 경화한 열가소성 수지의 선팅창계수가 200ppm/°C 이하로 구성된 것을 특징으로 한다.

또한, 본 발명은 상기 반도체 장치에 있어서, 응력 완화층의 두께가 약 35μ m~ 약 150μ m 인 것을 특징으로 한다.

또한, 본 발명은 상기 반도체 장치에 있어서, 응력 완화층의 경화한 열가소성 수지로서 적어도 폴리이미드, 폴리아미드, 폴리 아미드 이미드, 에폭시, 페놀, 실리콘 중의 어느 하나로 구성되어 있는 것을 특징으로 한다.

또한, 본 발명은 상기 반도체 장치에 있어서, 반도체 소자에 형성된 보호막으로서 무기막과 그 위에 국부적으로 형성된 유기막으로 이루어지는 것을 특징으로 한다.

또한, 본 발명은 상기 반도체 장치의 배선층에 있어서, 적어도 신호 배선에 대해서는, 배선 폭을, 상기 응력 완화층의 엣지부를 응력 완화층의 평탄부보다도 굵게 형성한 것을 특징으로 한다.

또한, 본 발명은 상기 반도체 장치에 있어서, 배선층은 상기 응력 완화층의 표면에 밀착한 급전 막층과 도금 막층으로 구성되는 것을 특징으로 한다.

또한, 본 발명은 복수의 회로 전극이 배열되어 보호막이 피복된 회로면을 갖는 반도체 소자와, 상기 반도체 소자의 회로면의 보호막 상에 상기 회로 전극을 노출시켜 형성되고 유리 전이 온도 Tg가 150°C~ 400°C의 범위인 경화된 수지로 이루어져 엣지부에 경사를 형성한 응력 완화층과, 상기 회로 전극의 각각에 접속되어 그 회로 전극으로부터 상기 응력 완화층의 엣지부를 통해서 응력 완화층의 표면의 원하는 개소까지 전기적으로 연결되어 배치되는 복수의 배선으로 이루어지는 배선층과, 상기 응력 완화층의 표면에서의 복수의 배선의 각각의 소정의 개소를 노출시켜 상기 배선층의 표면을 피복한 표면 보호막과, 상기 노출한 복수의 배선의 각각의 소정의 개소에 범프를 접합하여 형성한 외부 접속 단자를 구비하여 구성된 것을 특징으로 하는 반도체 장치이다.

또한, 본 발명은 상기 반도체 장치를 상기 반도체 장치에 있어서의 외부 접속 단자를 회로 기판에 형성된 전극에 접합함으로써, 그 회로 기판에 실장하여 구성하는 것을 특징으로 하는 반도체 장치 실장 구조체이다.

또한, 본 발명은 복수의 회로 전극이 배열된 회로면을 갖는 복수의 반도체 소자가 배열된 웨이퍼를 제조하는 웨이퍼 제조 공정과, 그 웨이퍼 제조 공정에서 제조된 웨이퍼 상태에서의 각 반도체 소자의 회로면상에 보호막을 형성하는 보호막 형성 공정과, 그 보호막 형성 공정에서 형성된 웨이퍼 상태에서의 보호막 상에, 상기 회로 전극이 노출되도록, 열가소성 수지 페이스트를 마스크 인쇄를 사용하여 엣지부에 경사를 갖는 응력 완화층을 인쇄하고, 그 인쇄된 응력 완화층을 경화시켜 상기 보호막 상에 형성하는 응력 완화층 형성 공정과, 상기 웨이퍼 상태에서의 회로 전극의 각각에 접속되어 그 회로 전극으로부터 상기 응력 완화층 형성 공정에서 형성된 응력 완화층의 엣지부를 통해서 응력 완화층의 표면의 원하는 개소까지 전기적으로 연결되어 배치되는 복수의 배선으로 이루어지는 배선층을 형성하는 배선층 형성 공정과, 그 배선층 형성 공정에서 형성된 웨이퍼 상태에서의 배선층의 표면을 상기 응력 완화층의 표면에서의 복수의 배선의 각각의 소정의 개소를 노출시켜 표면 보호막으로 피복하는 표면 보호막 형성 공정과, 상기 웨이퍼 상태에서 노출한 복수의 배선의 각각의 소정의 개소에 범프를 접합하여 형성하는 외부 접속 단자 형성 공정과, 웨이퍼 상태에서 원하는 단위로 절단하여 반도체 장치를 얻는 절단 공정을 갖는 것을 특징으로 하는 반도체 장치의 제조 방법이다.

또한, 본 발명은 상기 반도체 장치의 제조 방법에 있어서, 배선층 형성 공정은 스퍼터 성막 공정과 도금 성막 공정을 포함하는 것을 특징으로 한다.

또한, 본 발명은 상기 반도체 장치의 제조 방법의 응력 완화층 형성 공정에서, 열가소성 수지 페이스트 속에 절연 입자를 함유하는 것을 특징으로 한다.

이상 설명한 바와 같이 상기 구성에 따르면, 응력 완화층의 재료로서, 열가소성 수지 재료를 사용함으로써, 가열 경화했을 때, 용제가 증발하게 되어 마스크 인쇄에 의해서 발생시킨 팽창 부분의 형상을 유지(확보) 하는 것이 가능해져, 그 결과, 그 위에 형성하는 배선에 굴곡 부분을 형성하여 배선이 절단되는 것을 방지하는 것이 가능해진다.

## 발명의 구성 및 작용

이하, 본 발명에 따른 실시의 형태에 대하여 도면을 참조하여 설명한다. 또, 모든 도면에 있어서, 동일 부호는 동일 부위를 나타내고 있기 때문에 용장되는 설명을 생략하고 있는 경우가 있으며 또한 설명을 쉽게 하기 위해서 각부의 치수비를 실제와는 다르게 하였다.

우선, 본 발명에 따른 반도체 장치의 구조에 대하여 설명한다. 반도체 장치는 웨이퍼 단위로 다수개가 일괄되어 제조되지만, 이하에서는 설명을 쉽게 하기 위해서, 그 일부를 추출하여 설명한다. 도 1에 본 발명에 따른 반도체 장치(13)의 부분 단면도를 도시한다.

반도체 회로가 형성된 웨이퍼(9)는 반도체 제조 공정에서 말하는 바의 전공정을 종료한 웨이퍼로서, 다수개의 반도체 장치(13)로 분할 절단하기 전의 것이다.

각 반도체 장치(13)에는 알루미늄 패드(회로 전극; 7)이 형성되어 있다. 이 알루미늄 패드(7)는 종래형의 반도체 장치(13)에 있어서, QFP(Quad Flat Package) 등의 반도체 패키지에 수납할 경우에 금 와이어 등을 접속하여 반도체 패키지의 외부 단자와의 도통을 실현하기 위해서 사용되고 있다. 반도체 회로가 형성된 반도체 장치(13)의 표면(회로면)은 알루미늄 패드(회로 전극; 7) 상 및 다수개의 반도체가 형성된 웨이퍼(9)를 칩형의 반도체 장치(13)로 절단할 때의 절단부(24) 및 그 주변을 제외하고 보호막(8)으로 덮여져 있다. 이 보호막(8)은 두께 1~10 $\mu$ m 정도의 무기 재료로 이루어지는 절연 수지 단독, 혹은 상기 무기 절연막의 상부에 유기 재료로 이루어지는 유기 절연막을 적층한 복합막을 사용하고 있다. 이 복합막을 사용하는 경우, 상기 유기막(40)은 감광성 수지 재료를 사용하는 것이 바람직하다. 본 실시예에서 보호막(8)의 유기막(40)으로서 바람직한 감광성 재료를 예시하면, 감광성 폴리이미드, 감광성 벤조시클로푸텐, 감광성 폴리벤즈옥사졸 등이 있다. 본 실시예에서는 이것에 한하지 않고 보호막으로서 공지, 관용의 무기 재료, 유기 재료 혹은 이것들의 복합막을 사용할 수 있다. 예를 들면, 무기막(41)으로서는 SiN이나 SiO<sub>2</sub> 등을 사용할 수 있다.

또한 유기막(40)은 무기막(41)의 거의 전면을 덮듯이 형성되어 있어도 물론 무방하나, 도 17에 도시된 바와 같이 알루미늄 패드(회로전극; 7)의 근방이 되는 영역에만 형성되어 있어도 무방하고, 도 18에 도시된 바와 같이 무기막(41) 표면의 임의의 복수개소에만 형성되어 있더라도 무방하다. 이와 같이 유기막(40)의 영역을 한정함으로써 보호막(8)의 내부 응력에 의한 웨이퍼(9)의 휨이 저감되어 제조 공정에서의 핸들링이나 노광 시의 초점 조정 등의 점에서 유리해진다. 또, 본 실시예에서는 알루미늄 패드(7) 근방의 영역이란 알루미늄 패드(7)의 단부에서 최대 거리 1mm까지의 영역을 가리키고 있다. 또, 도 17 및 도 18에서는 알루미늄 패드(7) 주위의 유기막(40)은 연속영역에 형성되어 있으나, 개개의 알루미늄 패드마다 각각 독립한 영역에 형성하여도 무방하다. 구체적으로는 예를 들면 도 19와 같은 영역이 된다. 도 17 내지 도 19 중의 어느 형태를 사용할지는 상기 유기막(40)에 사용하는 감광성 수지의 패턴 정밀도, 막의 내부 응력, 및 상기 반도체 장치(13)의 소자 특성을 감안하여 결정한다. 여기서 말하는 소자 특성의 일례를 들면, 상기 반도체 장치로의 응력 작용에 의해 소자 내부의 개개의 액티브 셀(트랜지스터)에 있어서의 에너지 장벽의 준위가 변동하거나 하는 것을 가리키고 있다.

상기 보호막(8) 상에는 본 실시예에 따른 두께 35~150 $\mu$ m의 응력 완화층(5)을 선택적으로 형성한다. 응력 완화층(5)의 막 두께는 반도체 소자의 사이즈, 응력 완화층의 탄성율, 반도체 소자 두께 등에도 의존하고 있어 일률적으로는 단정할 수 없지만, 일반적으로 사용되는 반도체 소자 두께는 대개 150~750 $\mu$ m로서, 반도체 소자와 그 표면에 형성되는 응력 완화층으로 이루어지는 바이메탈 모델로 응력 시뮬레이션 실험을 행한 바, 필요한 응력 완화층(5)의 막 두께는 10~200 $\mu$ m가 바람직하고, 더욱 바람직하게는 35~150 $\mu$ m라는 것을 알았기 때문에, 본 발명에 따른 실시예에서는 상기 막 두께 범위에서 형성하였다. 이 응력 완화층(5)의 막 두께는 반도체 소자의 두께에 대하여 약 1/20에서 1/5 정도의 두께에 상당한다. 응력 완화층(5)의 막 두께가 35 $\mu$ m보다 작아지면, 원하는 응력 완화를 얻을 수가 없고, 또한



응력 완화층(5)의 막 두께가 150 $\mu$  m을 넘어서 두꺼워지면 응력 완화층(5) 자신이 가지고 있는 내부 응력 때문에 웨이퍼의 휨이 발생하여 노광 공정에서의 핀트 어긋남이나 배선 형성 공정 등에서의 핸들링 문제점 등이 발생하기 쉽게 되어 생산성이 저하한다고 하는 문제가 있다.

그리고, 본 실시예에 따른 응력 완화층(5)은 반도체 웨이퍼(9)보다 대폭 작은 탄성 계수, 예를 들면 실온(20℃ 정도로 한다)에 있어서 0.1GPa~10 GPa의 탄성 계수를 갖는 수지재료,, 특히 경화한 열가소성 수지재료에 의하여 형성한다. 이 범위의 탄성계수를 갖는 응력 완화층이라면 신뢰성있는 반도체 장치를 제공할 수가 있다. 즉, 0.1GPa를 밑도는 탄성 계수의 응력 완화층의 경우, 반도체 소자 그 자체의 중량을 지지하는 것이 곤란해져 반도체 장치로서 사용할 때에 특성이 안정되지 않는다고 하는 문제가 발생하기 쉽다. 한편, 10GPa를 초과한 탄성 계수의 응력 완화층을 사용하면, 응력 완화층(5) 자신이 가지고 있는 내부 응력 때문에 웨이퍼에 휨이 발생하여 노광 공정에서의 핀트 어긋남이나 배선 형성 공정 등에서의 핸들링 문제점등이 발생하기 쉽고 더욱이 웨이퍼가 깨진다고 하는 문제점이 발생할 위험성조차 있다.

또한, 본 실시예에 따른 응력 완화층(5)의 엣지부는 경사를 갖고 있고, 그 평균 구배(勾配)는 5~30% 정도이다. 5%를 밑도는 경사각의 경우, 경사가 너무 길어져 원하는 막 두께를 얻을 수 없다. 예를 들면, 평균 구배 3%의 경사각에서 두께 100 $\mu$  m로 하기 위해서는 3mm가 넘는 수평 거리가 필요해져 좌우의 엣지부를 정합하면 거의 7mm가 되지 않으면 원하는 막 두께를 얻을 수 없게 된다. 한편, 경사각이 30%를 초과할 경우, 수평 거리에 있어서는 문제가 없지만, 반대로 배선 형성시에 충분한 스텝 커버리지를 얻을 수 없는 위험성이 높다. 특히 도금 레지스트의 주위나 노광 및 현상의 공정에서의 프로세스 마진이 없어, 특별한 기능 또는 기술이 필요해진다. 또한 경사각이 큰 경우에는 소위 응력 집중 효과가 작용하여 그 엣지부에 응력이 집중하여 그 결과로서 엣지부에서 재 배선용 배선(4)의 단선이 발생하기 쉬워지는 경향이 나타나, 배선 구조에 특별한 고안이 필요해지는 경우가 있다.

도 1의 경우, 응력 완화층(5)의 엣지로부터 500 $\mu$  m의 수평 거리에서 50 $\mu$  m의 막 두께로 되어 있기 때문에 평균 구배는 10% 정도이다.

또한, 본 실시예에 의한 응력 완화층(5)의 표면에 전극, 예를 들면 범프 패드(3)를 형성하기 위하여 동 등의 도체로 형성된 재배선용 배선(4)으로 알루미늄 패드(7)과 접속할 필요가 있다. 즉, 재배선용 배선(4)은 동 등의 도체로 형성되어 있고, 알루미늄 패드(회로전극; 7)와 응력 완화층(5) 표면의 땀납볼 등의 외부 접속용 단자를 형성하기 위한 전극, 예를 들면 범프 패드(3)를 접속하고 있다.

또한 범프 패드(3) 위는 범프 패드(3)의 산화를 방지하기 위한 금도금(2)을 해도 좋다. 반도체 장치(13)의 표면은 범프 패드(3) 및 다수개의 반도체가 형성된 웨이퍼(9)를 각 반도체 장치(13)로 절단할 때의 절단부(24)를 제외하고 표면 보호막(6)으로 덮여져 있다.

표면 보호막(6)으로 보호막(8) 및 응력 완화층(5)을 완전히 덮음으로써 밀봉하고 있기 때문에, 반도체 소자가 형성된 웨이퍼(9)의 표면으로부터 보호막(8) 및 응력 완화층(5)이 박리하는 것을 방지하여 반도체의 성능 열화를 야기하는 이온 등의 이물의 침입까지도 경감할 수 있다. 또한, 보호막(8), 응력 완화층(5), 표면 보호막(6)은 모두 다 절단부(24)보다 후퇴해 있기 때문에, 반도체 장치(13)를 절단 분리할 때에 손상되는 일이 없다.

표면 보호막(6)으로서는 전기 절연 특성을 갖는 각종 수지 재료를 사용할 수 있다.

패턴을 형성할 필요가 있기 때문에 감광성 재료인 것이 바람직하지만, 예를 들면 잉크젯 등의 고정밀도 인쇄에 대응한 재료를 사용하여 인쇄로 성막하더라도 무방하다. 기타, 커텐 코트 등의 염가의 도포방법으로 절연막을 형성한 후에 포토리소그래피 프로세스를 사용하여 에칭 레지스트를 형성하여 패턴닝하고 이 레지스트 패턴을 사용하여 상기 절연막을 에칭 가공, 레지스트 박리라는 공정을 거쳐 성막하더라도 좋다.

이러한 재료로서, 본 실시예에서는 각종 재료를 사용할 수 있으나, 그 중 최적인 것을 몇 개 예시하면 (1) 감광성 재료로서 아크릴 변성 감광성 에폭시 수지, 감광성 폴리 이미드 수지, (2) 잉크젯 인쇄 재료로서 폴리 아미드 이미드 수지, 폴리 이미드 수지, (3) 성막용 재료로서 변성 트리아졸 수지, 변성 멜라민 수지, 폴리 이미드 수지 등이 있다. 감광성 재료에 대하여 더욱 구체적으로 예시하면, 염가인 감광성 수지 재료로서 프린트 기판 제조 공정에서 최적으로 사용되는 솔더 레지스트나 플렉시블 프린트 기판의 표면 커버에 사용되는 감광성 폴리 이미드등이 표면 보호막(6)으로서 바람직하게 사용된다. 한편, 성막용 재료로서는 예를 들면 토오레(주)의 포토니스<sup>TM</sup> 등이 적합하다.

또, 본 실시예에서는 솔더 레지스트를 사용하였다.

또한, 범프 패드(3) 상에는 반도체 장치(13)를 회로 기판 상에 접속 실장시키기 위한 범프(1)가 형성된다. 이 범프(1)는 뱀납 재료로 형성하는 것이 일반적이다. 여기서 범프(1)가 외부 접속 단자로 된다.

도 2에는 도 1에서 도시한 반도체 장치(13)가 웨이퍼 상에 연속적으로 형성되어 있는 상태를, 원래는 존재하는 범프(1)를 생략한 평면도로 도시하였다. 도 2에 있어서 해칭으로 나타낸 부위가 표면 보호막(6)인 솔더 레지스트이다. 또한, 응력 완화층(5)이 각을 없앤 장방형으로 형성되어 있는 상태로 형성되어 있고, 각 반도체 장치(13)의 사이에는 각 반도체 장치(13)를 분리할 때의 여유부가 되는 절단부(24)가 존재한다. 여유부는 예를 들면 표면 보호막(6)의 단부에서 10~ 100 $\mu$ m 정도에 위치하는 것이 바람직하다. 10 $\mu$ m 정도보다 짧으면 각 반도체 장치를 분리할 때에 톱핑을 유발하기 쉬워지는 경향이 있고, 반대로 100 $\mu$ m 정도보다 길게 되면 반도체 소자로서 사용 가능한 유효 면적이 감소한다. 따라서, 반도체 장치(13)의 수율 향상을 위해 여유부와 표면 보호층(6)의 간격을 본 실시예에서는 10~ 100 $\mu$ m 정도에 위치시키는 것이 바람직하다. 또, 재 배선용 배선(4)의 일단의 하층에는 도시되지는 않았으나 알루미늄 패드(7)가 존재한다.

이와 같이 본 발명에 따른 반도체 장치의 구조에 따르면, 응력 완화층(5)이 재 배선용 배선(4)과 웨이퍼(9) 사이에 존재하기 때문에, 반도체 장치(13)가 회로 기판(14) 상에 접속되어 그것이 동작할 때에 범프(1)가 받는 열에 의한 왜곡을 분산시키는 것이 가능해진다. 이 때문에 이 반도체 장치(13)를 도 21에 도시한 바와 같이 회로 기판(14)에 탑재하더라도 언더필을 실시하지 않고 접속 수명을 연장시키는 것이 가능해진다. 또한, 응력 완화층(5)은 완만한 경사부를 갖고 있기 때문에 재 배선용 배선(4)의 도중에 응력 집중부로 되는 배선 굴곡부는 존재하지 않는다.

본 실시예에 있어서의 반도체 장치(13)의 제조 공정의 일례를 주어진 도면을 참조하여 설명한다.

도 3을 참조하여 제1 공정에서 제3 공정까지를, 도 4를 참조하여 제4 공정에서 제6 공정을, 도 5를 참조하여 제7 공정에서 제9 공정을 설명한다. 또한 상기 도면은 모두 본 실시예에 있어서의 반도체 장치(13)의 단면 구조를 알기 쉽도록, 일부분을 추출한 단면도로 되어 있다.

제1 공정:

외부 접속용 알루미늄 패드(7)가 형성되어 있는 반도체가 형성된 웨이퍼(9)에 대해서는 종래의 반도체 장치(13)와 동일한 공정으로 제조한다. 본 실시예에서 사용한 반도체 장치에서는 외부 접속용 패드의 재질은 알루미늄이지만, 외부 접속 패드는 동이더라도 무방하다. 본 실시예에서는 외부 접속으로서 와이어 본딩을 사용하지 않기 때문에, 외부 접속 패드가 동인 경우에 발생하기 쉬운 본딩성 문제를 고려할 필요가 없기 때문이다. 외부 접속 패드가 동인 경우에는 배선의 전기 저항을 저감할 수 있기 때문에, 반도체 소자의 전기 특성 향상이란 관점에서도 바람직하다.

제2 공정:

필요에 따라서, 보호막(8)을 형성한다. 보호막(8)은 무기 재료를 사용하여 반도체 제조 공정에서의 소위 전공정에서 이미 형성되는 경우도 있고 또한, 무기 재료 상에 다시 유기 재료를 사용하여 증착하여 형성하는 경우도 있다. 본 실시의 형태에 있어서는 반도체 공정에서의 소위 전공정에서 형성된 무기 재료로 이루어지는 절연막, 예를 들면 CVD법 등으로 형성한 질화규소, 테트라 에톡시 실란 등에 의해서 형성된 이산화규소, 혹은 이들의 복합막으로 이루어지는 절연막 상에 유기 재료인 감광성 폴리 이미드를 도포하여 이를 감광, 현상, 경화함으로써 두께 6 $\mu$  m 정도의 보호막(8)을 형성하고 있다. 이에 따라, 반도체가 형성된 웨이퍼(9) 상에 보호막(8)이 형성된다. 본 실시예에서는 보호막(8)의 막 두께를 6 $\mu$  m 정도로 하였지만, 그 막 두께는 해당 반도체 소자의 종류에 따라 다르며, 그 범위는 1~ 10 $\mu$  m 정도가 된다. 또 도 2에 도시하고 있는 표면 보호막(6)과 마찬가지로 유기막(40)은 무기막(41)의 거의 전면을 덮듯이 형성되어 있어도 물론 괜찮지만 도 17 ~ 도 19에 도시된 바와 같이 알루미늄 패드(7)의 근방이 되는 영역에만 형성되어 있어도 괜찮다. 무기 재료만으로 이루어지는 절연막(8)의 경우, 막 두께의 범위는 3 $\mu$  m 정도 이하로 된다. 또한, 본 실시예에서 사용한 감광성 폴리 이미드 이외에도 폴리 벤즈옥사졸, 폴리 벤조 시클로프텐, 폴리 키놀린, 폴리포스파젠 등도 사용할 수 있다. 또한, 도 17의 (b), 도 18의 (b) 및 도 19는 칩영역(10)을 나타낸다.

제삼 공정:

페이스트형 폴리 이미드 재료, 특히 페이스트형 열가소성 폴리 이미드 재료를 응력 완화층(5)의 형성 예정 개소에 인쇄 도포한 후, 이를 가열함으로써 경화시킨다.

이에 따라 보호막(8) 상에 본 실시예에 의한 응력 완화층(5)이 10~ 200 $\mu$  m 정도(바람직하게는 35~ 150 $\mu$  m 정도)의 막 두께로 형성된다.

제4공정:

전기 도금에 사용하기 위한 급전막(예를 들면, Cr 박막과 Cu 박막으로 이루어지는)(16)을 스퍼터 등의 방법으로 형성한 후에 배선의 역패턴(17)을 포토레지스트를 사용하여 형성한다.

제5 공정:

이 급전막(16) 및 배선의 역 패턴(17)을 사용하여 전기 도금을 행하여 재 배선용 배선(4) 및 범프 패드(3)의 형성을 행한다. 또한, 필요에 따라서 전기 도금을 반복함으로써 재 배선용 배선(4)을 다층 구조로 한다.

제6 공정:

포토레지스트로 이루어지는 배선의 역 패턴(17) 및 전기 도금의 급전막(16)을 에칭 처리에 의해 제거한다.

제7 공정:

습더 레지스트를 사용하여 표면 보호막(6)을 형성한다. 그리고, 이 패턴을 사용하여 범프 패드(3)의 최외측 표면에 무 전해 금도금(2)을 행한다.

제8 공정:

범프 패드(3) 상에 플럭스와 같이 땀납볼을 탑재하여 가열함으로써 범프 패드(3)에 땀납볼을 접속하여 범프(1)를 형성한다.

제9공정:

반도체가 형성된 웨이퍼(9)의 절단부(24)를 웨이퍼 다이싱 기술에 의해 절단함으로써 도 21에 도시한 바와 같이, 회로기판(14)에 접속 실장할 수 있는 반도체 장치(13)가 완성되게 된다.



이하, 상기 제3공정에서 제8공정까지에 대하여 상세히 설명한다.

우선, 제3공정에 대하여 구체적으로 설명한다. 본 실시예에 의한 응력 완화층(5)은 10~200 $\mu$ m 정도(바람직하게는 35~150 $\mu$ m 정도)의 막 두께로 할 필요가 있으므로 인쇄함으로써 형성하도록 하였다. 인쇄에 사용하는 마스크(30)로서는 프린트 배선판에 대한 뎀납 페이스트 인쇄 등에서 사용하는 인쇄용 마스크와 동일한 구조의 것을 사용할 수 있다. 예를 들면, 도 6에 도시한 바와 같이 니켈 합금제의 스텐실(stencil; 25)을 수지 시트(26)를 개재하여 프레임(27)에 접착한 형태의 메탈 마스크를 사용할 수 있다. 인쇄용 마스크(30)의 패턴 개구부(28)는 50 $\mu$ m 정도는 인쇄 후에 페이스트가 퍼지기 때문에, 이를 예상한 분 만큼 조금 작게 제작하도록 해도 좋다. 도 7에 도시한 바와 같이 페이스트 인쇄는 인쇄용 마스크(30)와 반도체가 형성된 웨이퍼(9)의 패턴을 위치 정렬한 상태에서 밀착시키고, 그 상태에서, 스퀴지(squeegee; 32)가 스텐실(25) 상을 이동함으로써, 패턴 개구부(28)를 페이스트(31)로 충전하고, 그 후, 인쇄용 마스크(30)를 반도체가 형성된 웨이퍼(9)에 대하여 상대적으로 상승시킴으로써, 인쇄를 하는 소위 컨택트 인쇄를 행한다. 또, 여기서 말하는 웨이퍼(9)와 인쇄용 마스크(30)의 밀착은 반드시 양자간에 간극을 전혀 없게 하는 것을 의미하는 것은 아니다. 웨이퍼(9) 상에는 이미 보호막(8)이 부분적으로 형성되어 있기 때문에, 그 위에 인쇄 마스크(30)를 간극이 없게 밀착시키는 것은 실용상 곤란하기 때문이다. 본 실시예에서는 웨이퍼(9)와 인쇄용 마스크(30) 사이의 간극이 0~100 $\mu$ m 정도의 인쇄 조건으로 인쇄하였다. 그 외에도, 제1 스퀴지로 인쇄용 마스크(30)의 스퀴지면 전체를 페이스트(31)로 코팅하고, 그 후, 제2 스퀴지로 인쇄용 마스크의 패턴 개구부(28)를 충전하고 또한 여분의 페이스트를 제거한다. 그 후, 인쇄용 마스크(30)를 반도체가 형성된 웨이퍼(9)에 대하여 상대적으로 상승시키는 인쇄방법도 있다. 도 8에 도시한 바와 같이 인쇄 마스크(30)를 웨이퍼(9)에 대하여 상대적으로 상승시킬 때, 수직으로 상승시켜도 무방하나, 상대적으로 경사각을 갖도록 움직이면서 상승시켜도 좋다. 경사각을 갖게 함으로써, 인쇄 마스크(30)가 웨이퍼(9)로부터 분리될 경우의 판 분리 각이 웨이퍼면내에서 균일하게 되기 쉽다. 또한, 인쇄 마스크(30)는 웨이퍼(9)의 일단에서 타단을 향해서 분리되어 나가게 되므로 판 분리가 불안정해지기 쉬운 판 분리의 최후의 순간은 반도체 장치가 없는 영역에서 행해지게 되어 수율 향상면에서도 유리해진다. 또한, 동일한 인쇄기를 사용하여 복수의 웨이퍼(9)에 연속적으로 인쇄를 행하는 경우에는 적절한 타이밍으로 마스크판의 이면측을 닦아 주는 공정을 삽입하면 좋다. 예를 들면, 본 실시예에서는 10매를 연속 인쇄하면 1회 마스크판의 이면측의 청소를 행하고 그러한 후에 11장째의 인쇄를 행하였다. 마스크 이면측의 청소의 타이밍, 횟수, 그 방법은 페이스트 재료의 점도나 고형분 농도, 필러량 등에 따라 적절한 조절이 필요해진다.

이어, 페이스트 패턴(33)이 인쇄 도포된 반도체가 형성된 웨이퍼(9)를 핫 플레이트나 가열로를 사용하여 단계적으로 가열함으로써 페이스트 패턴(33)이 경화하여 응력 완화층(5)이 형성된다.

여기서 사용하고 있는 응력 완화층(5)의 형성용 재료는 페이스트형 폴리 이미드로서, 보호막(8) 상에 인쇄 도포된 후에 가열함으로써 경화할 수 있다. 또한, 이 페이스트형 폴리 이미드는 폴리 이미드의 전구체(precursor)와 용매 및 그 속에 분산된 다수의 폴리 이미드의 미소 입자로 이루어져 있다. 미립자로서는 구체적으로는 평균 입자경이 1~2 $\mu$ m 정도이고, 최대 입자경이 약 10 $\mu$ m가 되는 입도(粒度) 분포를 갖는 미소 입자를 사용하였다. 본 실시예에 사용되고 있는 폴리 이미드의 전구체는 경화하면 폴리 이미드의 미소 입자와 동일 재료로 되기 때문에 페이스트형 폴리 이미드가 경화했을 때에는 일종류의 재료로 이루어지는 균일한 응력 완화층(5)이 형성되게 된다. 본 실시예에서는 응력 완화층 형성 재료로서 폴리 이미드를 사용하였지만, 폴리 이미드 이외에 아미드 이미드 수지, 에스테르 이미드 수지, 에테르 이미드 수지, 실리콘 수지, 아크릴 수지, 폴리 에스테르 수지, 이들을 변성한 수지 등을 사용하는 것도 가능하다. 폴리 이미드 이외의 수지를 사용하는 경우에는 상기 폴리 이미드 미소 입자 표면에 상용성(相溶性)을 부여하는 처리를 실시하거나, 혹은 상기 폴리 이미드 미소 입자와의 친화성이 향상되도록 수지 조성에 변성을 실시하는 것이 바람직하다.

상기 열거한 수지 중, 이미드 결합을 갖는 수지, 예를 들면 폴리 이미드, 아미드 이미드, 에스테르 이미드, 에테르 이미드 등에서는 이미드 결합에 의한 강고한 골격의 덕택으로 열 기계적 특성, 예를 들면 고온에서의 강도 등에 뛰어나 그 결과로서, 배선을 위한 도금 급전막 형성방법의 선택범위가 넓어진다. 예를 들면, 스퍼터 등의 고온 처리를 수반하는 도금 급전막 형성방법을 선택할 수 있다. 실리콘 수지나 아크릴 수지, 폴리 에스테르 수지, 아미드 이미드, 에스테르 이미

드, 에테르 이미드 등 이미드 결합 이외의 결합으로 축합한 부분이 있는 수지의 경우, 열 기계 특성은 약간 떨어지나 가공성이나 수지 가격 등에서 유리한 경우가 있다. 예를 들면, 폴리 에스테르 이미드 수지에서는 일반적으로 폴리 이미드보다도 경화 온도가 낮기 때문에 취급하기 쉽다. 본 실시의 형태에 있어서는 이들 수지 중에서 소자 특성, 가격, 열 기계 특성 등을 종합적으로 감안하여 이들 수지를 적절하게 구별하여 사용한다.

페이스트형 폴리 이미드 중에 폴리 이미드 미소 입자를 분산시킴으로써 재료의 점탄특성을 조정할 수 있게 되기 때문에, 인쇄성에 뛰어난 페이스트(31)를 사용할 수 있다.

미소 입자의 배합을 조정함으로써, 페이스트(31)의 치키소트로픽(thixotropic) 특성을 제어할 수 있게 되기 때문에, 점도의 조정과 조합함으로써, 인쇄 특성을 개선할 수 있다. 또한, 응력 완화층(5)의 경사각도를 조절하는 것도 가능하다.

본 실시예에서, 바람직한 페이스트(31)의 치키소트로픽 특성은 회전점도계를 사용하여 측정한 회전수 1 rpm에서의 점도와, 회전수 10rpm에서의 점도의 비로부터 구한, 소위 치키소트로픽 인덱스가 2.0~3.0의 범위에 있는 것이 바람직하다. 또, 치키소트로픽 인덱스에 온도 의존성이 나타나는 페이스트의 경우, 치키소트로픽 인덱스가 2.0~3.0의 범위가 되는 그러한 온도 영역에서 인쇄하면 높은 성적이 얻어진다.

인쇄한 페이스트형 폴리 이미드를 가열 경화한 후에는 도 9에 도시하는 바와 같이, 웨이퍼(9) 상에 경사부(35) 및 평탄부(36)로 이루어지는 단면 형상을 갖는 응력 완화층(5)이 형성된다. 이와 같이 인쇄에 의해 응력 완화층(5)을 형성하면, 응력 완화층(5)의 엷지부로부터 200~1000 $\mu$ m인 곳에 팽창 부분(34)이 존재하는 경우가 있는데, 이 팽창 부분(34)의 위치 및 존재의 유무에 대해서는 페이스트형 폴리 이미드의 조성을 조정하거나, 인쇄에 대한 각종 조건을 변경함으로써, 어느정도 제어가 가능해진다.

또, 이 경우의 인쇄에 관한 각종 조건으로서 메탈 마스크 두께, 스퀴지 속도, 스퀴지 재질, 스퀴지 각도, 스퀴지압, 판 분리 속도, 인쇄 시의 웨이퍼의 온도, 인쇄 환경의 습도 등등을 들 수 있다.

상기 팽창 부분(34)의 높이나 형상의 제어는 상기 인쇄 조건에 의해서 달성할 수 있지만, 그 밖의 제어방법으로서, 보호막(8)의 구조 조정에 의한 방법도 있다. 예를 들면, 도 36에 도시한 바와 같이 보호막(8)의 유기층(40)의 형성 영역을 패드(7)의 근방에만 한정하면, 유기층(40) 상부에 상당하는 부분의 응력 완화층(5)을 팽창시키는 것은 용이하다.

또한, 도 1에 도시한 바와 같이 응력 완화층(5)에 팽창 부분(34)을 적극적으로 형성한 경우에는 배선(4)의 굴곡 부분을 형성할 수가 있어 이에 따라 열팽창 등에 의한 응력을 흡수하기 쉬운 구조가 되어 배선(4)의 단선을 보다 방지할 수가 있다.

구체적으로는 응력 완화층(5)의 평균 두께에 대하여 최대 약 25 $\mu$ m, 바람직하게는 7~12 $\mu$ m 정도의 높이를 갖는 팽창 부분(34)이 형성되는 것이 바람직하다.

이 정도의 정점이라면, 마스크 인쇄(30)에 의해 충분히 형성 가능하다. 예를 들어 이 팽창부(34)를 반경이 10 $\mu$ m의 반원통 형상으로 가정하면, 팽창부(34)의 반호의 길이는  $(2 \times 3.14 \times 10 \mu\text{m})/2 = 31.4 \mu\text{m}$ 가 되어 배선(4)의 용장길이는 팽창부 1개에 대하여  $31.4 \mu\text{m} - 10 \mu\text{m} = 21.4 \mu\text{m}$ , 응력 완화층(5)의 양측에 1개씩 형성한 경우에는 42.8 $\mu$ m가 된다. 이와 같이 배선(4)에 용장부를 설치할 수 있기 때문에, 배선 구조 및 댄납 접합부에 작용하는 열 응력이 완화되고, 따라서, 신뢰성이 높은 배선 구조를 제공할 수 있다.

또, 상기 팽창부(34)의 소요 두께는 응력 완화층(5)의 막 두께 및 탄성율, 반도체 소자(13)의 사이즈, 반도체 소자의



소비 전력, 반도체 소자를 탑재하는 회로 기판(14)의 물성치 등을 감안한 실험 및 시뮬레이션으로부터 구한다. 예를 들면, 본 실시예에서는 반도체 소자(13)의 대각길이를 Lmm로 하고, 반도체 소자(13)와 이를 탑재하는 회로 기판(14)의 선팅창 계수의 차가 15 ppm/°C, 반도체 소자(13)의 기판 탑재 프로세스- 동작중의 ON/OFF에 의해서 생기는 최대 온도 범위를 섭씨 200도로 하면, 기판 실장품이 실 사용 환경에서의 사용으로 배선부가 받는 최대 열 변형량은  $15 \text{ (ppm/}^\circ\text{C)} \times L/2 \text{ (mm)} \times 200 \text{ (}^\circ\text{C)} = 0.0015 \times L\text{mm}$ 로 된다. 따라서, 상기 팅창부(34)에 요구되는 용장길이는  $0.002 \times L\text{mm}$  정도 있으면 충분하다고 생각하였다. 본 실시예에서는 상기 계산으로부터 팅창부(34)를 반원통 형상으로 근사시켜, 그 팅창 부분의 높이는 응력 완화층(5)의 평균 두께에 대하여 L/2000mm~L/500mm 정도의 범위에 들어가도록 하였다.

그런데, 특히 인쇄한 페이스트형 수지가 구체적으로는 후술하는 바와 같이 열가소성 수지의 경우, 가열, 경화했을 때, 용제가 증발하게 되어 마스크 인쇄에 의하여 발생시킨 팅창부분(34)의 형상을 유지(확보)하는 것이 가능해져, 그 결과, 그 위에 형성하는 배선(4)에 굴곡부분을 형성하여 배선(4)이 절단되는 것을 방지하는 것이 가능해지는 것을 실험에 의하여 확인할 수가 있었다.

역으로 인쇄한 페이스트형 수지가 후술하는 바와 같이, 열경화성 수지인 경우, 가열, 경화했을 때, 상기 수지가 용융하여 경화하는 관계로 마스크 인쇄에 의하여 발생시킨 팅창부분(34)이 용융되어 없어져 버리는 경향이 있어 그 결과, 그 위에 형성하는 배선(4)에 굴곡부분을 형성하는 것이 곤란해진다.

필요한 응력 완화층(5)의 막 두께가 1회의 인쇄 및 가열 경화로 형성되지 않을 때에는 인쇄 및 재료의 경화를 복수회 반복함으로써 소정의 막 두께를 얻을 수 있다. 예를 들면, 고형분 농도 30~40%의 페이스트(31)를 사용하여 두께 65  $\mu\text{m}$ 의 메탈 마스크를 사용한 경우, 2회의 인쇄로 경화후의 막 두께로서 약 50  $\mu\text{m}$ 를 얻을 수 있다. 또한 특히, 회로 기판(14)에 반도체 장치(13)를 접속했을 때에 왜곡이 집중되기 쉬운 개소에 배치되어 있는 범프(1)에 대해서는 해당하는 개소의 응력 완화층(5)에만 한정하여 막 두께를 두껍게 함으로써, 왜곡의 집중을 완화할 수도 있다. 이를 위해서는 예를 들면, 페이스트형 폴리 이미드를 반도체가 형성된 웨이퍼(9) 상에 대하여 1회째의 인쇄에서 사용한 것과는 다른 메탈 마스크를 사용하여 복수회의 인쇄를 하면 좋다. 제2 방법으로서, 변형이 집중하기 쉬운 범프의 바로 아래에 있어서의 보호층(8)의 구조를 조정함으로써 응력 완화층(5)의 두께를 부분적으로 변경할 수도 있다. 예를 들면, 보호막(8)의 구조를 해당 범프(1)의 바로 아래에서는 무기막만으로 이루어지는 무기층(41)을 사용하고, 그 외의 영역에서는 무기 및 유기 복합층으로 하면, 저탄성인 응력 완화층(5)의 두께는 상기 범프의 바로 아래에서는 유기층의 두께 분만큼 두껍게 할 수가 있다.

또, 반드시 응력 완화층(5) 중에 미립자를 가질 필요는 없고, 미립자를 페이스트 중에 분산시키지 않은 경우에도 인쇄에 필요한 최저한의 점탄특성이 확보되면 좋다. 다만, 미소 입자를 페이스트 중에 분산시키지 않은 경우에는 인쇄에 관한 각종 조건의 마진이 극단적으로 좁아질 가능성이 있다.

다음으로 제4 공정에 대하여 구체적으로 설명한다. 본 실시의 형태에서는 재 배선용 배선(4)을 전기 동도금과 전기 니켈의 2층으로 하였다. 또, 재 배선용 배선(4)의 일단을 범프 패드(3)와 겸용해도 좋다. 여기서는 동과 니켈을 모두 전기 도금을 사용하여 도체를 형성하는 방법을 나타내었으나 무전해 도금을 사용하는 것도 가능하다.

우선, 전기 도금을 실시하기 위한 급전막(16)을 반도체 웨이퍼 전면에 형성한다. 여기서는 증착이나, 무전해 동도금, CVD 등도 사용하는 것이 가능하지만, 보호층(8) 및 응력 완화층(5)과의 접착 강도가 강한 스퍼터를 사용하는 것으로 하였다. 스퍼터의 전처리로서, 본딩 패드(7)와 재 배선용 배선(4) 도체와의 사이의 도통을 확보하기 위해서 스퍼터 에칭을 행하였다. 본 실시예에서의 스퍼터막으로서 Cr(75  $\mu\text{m}$ ~0.1  $\mu\text{m}$  정도)/Cu(0.2  $\mu\text{m}$ ~0.5  $\mu\text{m}$  정도)의 다층막을 형성하였다. 여기서의 Cr의 기능은 그 상하에 위치하는 Cu와 응력 완화층(5) 동과의 접착을 확보하는 것으로서, 그 막 두께는 이들의 접착을 유지하는 최저한이 바람직하다. Cr의 막 두께가 두꺼워지면 성막 시간이 증대하여 생산 효율이 저하한다고 하는 문제 외에 보호층(8)이나 응력 완화층(5)을 장시간에 걸쳐 스퍼터 챔버내에 발생하고 있는 고에너지 상태의 플라즈마에 노출시킴으로써, 이들 층을 형성하고 있는 재료가 변질한다고 하는 위험성이 있다. 또, 소요 막 두께

는 스퍼터 에칭 및 스퍼터의 조건, Cr의 막질 등에 의해서도 변동하지만, 대체로 최대  $0.5\mu\text{m}$  이다. 또, 본 실시의 형태에서 사용한 Cr 막 대신에 Ti막이나 Ti/Pt막, W 등으로도 대체할 수 있다. 한편, 스퍼터 동의 막 두께는 후 공정에서 행하는 전기 동 도금 및 전기 니켈 도금을 행하였을 때에 도금 막의 막 두께 분포가 발생하지 않는 최소한의 막 두께가 바람직하며, 도금 전 처리로서 행하는 산세척 등에서의 막의 감소량도 고려하여 막 두께 분포를 유발하지 않는 막 두께를 결정한다. 스퍼터 동의 막 두께를 필요이상으로 두껍게 했을 경우, 예를 들면  $1\mu\text{m}$ 를 넘는 동 두께의 경우에는 스퍼터 시간이 길어져 생산 효율이 저하한다고 하는 문제 외에 후 공정에서 실시하는 급전막(16)의 에칭 제거시에 장시간의 에칭을 피할 수 없어, 그 결과로서 재 배선용 배선(4)의 사이드 에칭이 커진다. 단순 계산으로는  $1\mu\text{m}$ 의 급전막을 에칭하는 경우에는 배선도 일측  $1\mu\text{m}$ , 양측  $2\mu\text{m}$ 의 에칭이 발생한다. 실제의 생산에서는 급전막의 에칭 잔존이 발생하지 않도록 오버 에칭하는 것이 일반적으로 행해지고 있으므로  $1\mu\text{m}$ 의 급전막을 에칭하는 경우에는 배선이  $5\mu\text{m}$  정도 사이드 에칭되게 된다. 사이드 에칭이 이와 같이 커지면, 배선 저항이 커지거나, 단선을 유발하기 쉬워지거나 하여 배선 성능의 관점에서 문제를 발생시키기 쉽다. 따라서, 스퍼터 동의 막 두께는 대략 최대  $1\mu\text{m}$ 로 된다.

다음으로 포토리소그래피 기술을 사용하여 재 배선용 배선(4)의 역 패턴 형상(17)을 레지스트를 사용하여 형성한다. 도 4중의 B로 나타낸 응력 완화층(5)의 엣지부에서의 레지스트의 막 두께는 경사면부에서 흘러 나온 레지스트에 의해, 다른 장소와 비교하여 두꺼워진다. 이 때문에 해상도를 확보하기 위해서는 네가티브형 쪽이 바람직하다. 레지스트로서, 액상 레지스트를 사용한 경우, 도 4중의 B로 나타낸 응력 완화층(5)의 엣지부의 경사면 상부에서는 레지스트 막 두께가 얇아지기 쉽고, 경사면 하부에서는 반대로 레지스트 막 두께가 두꺼워지기 쉬운 경향이 있다. 경사면 상부와 경사면 하부에서 막 두께가 다른 레지스트를 동일 노광량, 동일 현상 조건으로 패턴닝하기 위해서는 넓은 현상 여유도가 필요해진다. 일반적으로, 막 두께에 대한 현상 여유도는 포지티브형 감광 특성 레지스트보다도 네가티브형 감광 특성 레지스트가 넓기 때문에, 본 실시예에서는 네가티브형의 액상 레지스트를 사용하였다. 또, 필름 레지스트를 사용하는 경우에는 경사면 상하에서의 막열차(膜熱差)는 발생하지 않기 때문에 네가티브형이든 포지티브형이든 사용 가능해지지만, 경사면부는 비스듬한 곳으로부터 노광되게 되어 실질 광로 길이가 길어져, 이 경우에도 네가티브형을 사용하면 좋은 성적이 얻어지는 것이 많다. 응력 완화층(5)의 엣지부의 경사가 큰 경우나 브리칭 특성이 약한 필름 레지스트를 사용하는 경우에는 네가티브형이 특히 바람직하다.

본 실시예에서는 도 10에 도시한 바와 같이 노광 마스크(21)와 레지스트(22)가 밀착하여 일부에 간극(20)을 갖는 타입의 노광기를 사용하였다. 상기 노광기에서의 해상 한계는 노광용 마스크(21)와 레지스트(22)가 밀착한 경우에 약  $10\mu\text{m}$  이었다. 우리들의 실험 결과에 의하면, 노광 마스크(21) 하부의 간극(20)과 해상하는 배선 폭의 관계는 표1에 도시한 바와 같이 되었다. 또, 표1 중의 값은 노광기의 광학계나 현상 조건, 레지스트의 감도, 레지스트 경화 조건, 배선 폭/배선간격의 비등에 따라 변화한다.

표1에 나타낸 실험 결과는 배선 폭/배선간격의 비가 1.0의 경우의 값이다.

		노광 마스크 하부의 간극 [ $\mu\text{m}$ ]			
		40	60	80	100
배선폭 [ $\mu\text{m}$ ]	15	×	×	×	×
	20	○	×	×	×
	25	○	○	○	×
	30	○	○	○	○
	40	○	○	○	○
	50	○	○	○	○

○ : 해상가

× : 해상불가

도 11은 알루미늄 패드(7)와의 접속부(23)와 범프 패드(3)가 재 배선용 배선(4)으로 접속되어 있는 모습을 도시한 것이다. 본 실시의 형태에서 사용한 노광 장치의 경우에는 표1의 횡축인 노광 마스크의 하부의 간극은 응력 완화층(5)의 두께에 거의 대응하고 있기 때문에 예를 들면 응력 완화층(5)의 두께가  $60\mu\text{m}$  이면 배선의 폭은  $25\mu\text{m}$  까지 해상 가능하다. 따라서, 신호선의 배선 폭을  $25\mu\text{m}$  으로 하고, 전원 또는 접지선의 배선 폭을  $40\mu\text{m}$  로 하여 배선(4)을 할 수도 있다. 또한, 신호선의 배선을  $25\mu\text{m}$  로 하여, 그 신호선의 일부를 굵게 하는 것도 가능하다.

또, 도 12에는 응력 완화층(5)의 경사부 부근에서의 재 배선용 배선(4)을 확대하여 도시한다. 상술한 바와 같이 응력 완화층(5)의 엣지부 근방에서 레지스트 막 두께가 불균일하게 되어 있기 때문에, 그 영역에서 현상부족이 발생하기 쉬운 경향이 있었다. 도 13에는 실제로 응력 완화층(5)의 엣지 부분에서 현상부족이 발생하고 있는 모습을 도시한다. 본 실시의 형태에서는 이 대책을 위해 현상액이 스며드는 것을 개선함으로써 해결하였다.

보다 구체적으로 예시하면, 배선 패턴 형상을 도 14나 도 15에 도시한 바와 같이 변경하는 것 등의 대책이다.

도 14는 알루미늄 패드와의 접속부(23)로부터 응력 완화층(5)의 정상 부근까지 배선 폭을 굵게 한 경우를, 도 15는 해상성이 나쁜 응력 완화층(5)의 엣지 부분만의 배선 폭을 굵게 한 경우를 나타내고 있다. 또, 이들 도 14 및 도 15에 있어서의 배선 폭은 응력 완화층(5)의 두께와 표1에 도시한 해상 특성을 고려하여 결정한다. 다른 해결책으로서 현상 시간을 연장함으로써 현상 잔여를 해소하는 방법도 생각할 수 있다.

또한, 마스크면에서 빛이 회절하기 때문에, 노광 마스크(21)의 밑에 간극(20)이 존재하는 것에 기인하여 해상성 저하나 패턴 정밀도 저하가 발생하는 경우가 있다. 이 현상의 해결책으로서, (1) 노광기의 광학계 변경, (2) 레지스트의 브릿칭성 개량, (3) 레지스트의 프리베이크 조건 적정화, (4) 다단 노광 등을 들 수 있다. 노광기의 광학계의 변경에 대하여 구체예를 하나 들면, NA치가 0.0001 이상 0.2 이하의 노광기를 사용하는 방안을 들 수 있다. 여기서 든 예에 한하지 않고, 공지, 관용의 프로세스상의 연구를 적절하게 조합함으로써, 패턴의 해상성, 정밀도를 향상할 수가 있다.



응력 완화층(5)의 엣지부는 웨이퍼(9)와 응력 완화층(5)의 물성치의 차이에 의해 생기는 응력이 집중하기 쉬운 구조상의 특징이 있으므로, 응력 완화층(5)의 경사부에서 배선을 굽게 함으로써 단선을 효과적으로 방지할 수 있다. 또, 반드시 모든 배선을 동일 굽기로 할 필요는 없고, 예를 들면 도 16에 도시한 바와 같이 전원/접지선(4b)과 신호선(4a)에서 배선의 폭을 바꾸도록 하더라도 좋다. 이 경우, 전기적인 특성을 고려하면 일반적으로는 전원/접지선(4b)을 신호선(4a)보다도 굽게 하는 것이 바람직하다.

신호선(4a)를 굽게 한 경우, 이에 따라 배선이 갖는 용량 성분이 증가하여 고속 동작 시에 영향을 미치게 하기 때문이다. 반대로, 전원/접지선(4b)을 굽게 하면 전원 전압이 안정된다고 하는 효과를 기대할 수 있기 때문에 오히려 바람직하다. 따라서, 도시한 바와 같이, 신호용 배선(4a)에 대해서는 응력이 집중하는 부분만을 최저한 완화할 수 있도록 엣지 주변을 굽게 한 패턴으로 하고, 전원용 또는 접지용 배선(4b)에 대해서는 경사부를 균일하게 굽게 하는 것이 바람직하다. 한편, 응력 완화층(5)이 형성되어 있지 않은 평탄부에 대해서는 배선의 용량 성분의 영향을 고려하여 신호 배선(4a)을 가늘게 하고 있다. 다만, 이것은 반도체 소자의 종류나 그 배선 패턴에 의해 그 때마다 고려할 필요가 있다. 예를 들면, 반도체 소자나 그 배선에도 따르지만, 보호막(8)의 두께를 증대하면 배선(4)의 용량 저감에 큰 효과가 있기 때문에 응력 완화층(5)이 형성되어 있지 않은 평탄부에서 신호 배선(4a)을 굽게 하지 않을 수 없는 경우에는 보호막(8)을 두껍게 형성하는 것이 바람직하다. 구체적으로는 배선 폭을 10% 증대시키는 경우에는 보호막(8)의 막 두께도 약 10% 정도 증대시키는 것이 바람직하다. 한편, 응력 완화층(5)의 상부 평탄부(36)에서의 배선 폭은 신호선 용량보다도 오히려 배선 밀도에 의해서 제한을 받는다. 즉, 범프 패드(3)의 간격으로 통과시키는 배선 개수, 범프 패드(3)의 직경, 배선 형성 공정에서의 위치 정렬 정밀도, 등으로부터 응력 완화층(5)의 상부 평탄부(36)에서의 배선 폭의 상한치가 구해진다. 구체적으로 일례를 나타내면, 범프 패드(3)의 간격이 0.5 mm이고, 패드 직경이 300μm, 패드 사이에 3개 배선(4)을 끄는 경우에는  $(500 - 300) / (3 \times 2 - 1) = 40$  정도라는 계산이 된다. 이 계산 결과로부터, 본 실시예에서는 평균 배선 폭/배선간격 = 40μm 정도로 하였다.

다음으로 제5 공정에 대하여 구체적으로 설명한다. 본 실시예에서는 황산 산성 동 도금 액을 사용하여 동 도금을 실시하였다. 전기 동 도금은 계면 활성제에 의한 세정, 수세, 회석 황산에 의한 세정, 수세를 행한 후, 금전막(16)을 음극에 접속하고 인을 함유하는 동판을 양극에 접속하여 실시하였다.

계속해서, 전기 니켈 도금을 행한다. 또, 전기 니켈 도금 전에 계면 활성제에 의한 세정, 수세, 회석 황산에 의한 세정, 수세를 행하면 양호한 막질의 전기 니켈 도금 막을 얻기 쉬운 경향이 있다. 전기 니켈 도금은 금전막(16)을 음극에 접속하고 니켈판을 양극에 접속하여 행하였다. 본 실시예에서 바람직한 전기 니켈 도금은 공지, 관용의 모든 니켈 도금 욕에서도 사용 가능하며, 와트 욕계에서도 설파민 욕계에서도 좋으나, 본 실시예에서는 와트욕계를 사용하여 도금 막의 내부 응력이 적정 범위가 되도록 조정된 도금 조건하에서 행하였다. 설파민욕은 도금 액 성분이 와트욕과 비교하면 고가인 데다가 약간 분해되기 쉬운 경향이 있다고 하는 결점은 있지만 피막 응력을 제어하기 쉽다. 한편, 와트욕은 일반적으로 피막 응력이 커지기 쉬워 막을 두껍게 도금한 경우에는 자신이 갖는 피막 응력(인장 응력) 때문에 배선층에 균열이 발생할 위험성이 증대한다고 하는 결점이 있다. 본 실시예에서는 와트욕을 사용하였지만, 설파민욕을 사용하는 경우든 와트욕을 사용하는 경우든, 첨가제(피막 응력 억제제)의 종류 및 농도, 도금 전류 밀도, 도금액 온도의 적정 범위를 구하기 위한 모델 실험을 미리 실시하고 나서 행하면 좋다. 본 실시예에서는 이들을 적절히 제어하여 막 두께 10μm 이하에서는 배선에 균열이 발생하지 않는 조건을 미리 구한 후에 실시하였다.

또, 도금 막 응력은 석출한 니켈의 금속 결정 배향성에 관한 지표의 하나로서, 후술하는 뿔납 확산층의 성장을 억제하기 위해서, 적절하게 제어할 필요가 있다. 막 응력이 적절하게 제어된 조건하에서 도금하면, 도금 피막은 특정량의 미량 성분을 공석(eutectoid)하게 된다. 예를 들면, 유황 0.001~0.05%를 함유하는 막의 경우, 특정한 결정 배향면의 함유율이 높아진다. 보다 구체적으로 말하면, 배향면 111, 220, 200, 311의 함유율의 합계가 50% 이상으로 된다.

전기니켈 도금의 막 두께는 그 후의 공정에서 사용하는 뱀납의 종류나 리플로우 조건, 및 반도체 장치의 제품 특성(실장 형태)에 의해 최적치를 결정한다. 구체적으로는 뱀납 리플로우나 실장 수리시에 형성되는 뱀납과 니켈의 합금층의 막 두께가 니켈 도금 막 두께 이상으로 되도록 결정하면 좋다. 상기 합금층의 막 두께는 뱀납 중의 주석의 농도가 높을수록, 리플로우 상한 온도가 높을수록 커진다.

다음으로 제6 공정에서는 전기 동 도금 및 전기 니켈 도금을 행한 후에 배선(4)의 역 패턴인 레지스트(17)를 제거하여 에칭 처리를 함으로써 미리 성막한 급전막(16)을 제거한다.

동의 에칭에는 염화철, 알칼리계 에칭액 등의 종류가 있지만, 본 실시예에서는 황산/과산화수소수를 주성분으로 하는 에칭액을 사용하였다. 에칭 시간이 10초 이상이지 않으면 제어가 곤란해져 실용적 관점에서는 불리하지만, 너무 긴 시간 에칭을 행하면, 예를 들면 5분을 넘어서 에칭하는 것 같은 경우에는 사이드 에칭이 커지거나 텍트가 길어진다고 하는 문제도 발생하므로, 에칭액 및 에칭 조건은 적절하게 실험에 의해 구하는 것이 좋다. 이어 실시하는 급전막(16)의 크롬 부분의 에칭에는 본 실시예에서는 과망간산칼륨과 메타 규산을 주성분으로 하는 에칭액을 사용하였다. 또, 상기 전기 니켈 도금 막은 급전막(16)의 에칭시의 에칭 레지스트로서도 기능하고 있다. 따라서, Ni와 Cu, Ni와 Cr의 에칭 선택비를 감안하여 에칭액의 조성 성분, 에칭 조건을 결정하면 좋다.

예를 들어, 구체적으로 말하면, 동의 에칭시에 사용하는 황산 과산화수소 에칭제에서는 황산의 함유량은 최대 50% 이하, 바람직하게는 15% 이하로 한다. 이에 따라, Ni에 대하여 10배 정도의 에칭 선택비로 Cu를 에칭할 수가 있다.

다음으로 제7 공정에서는 범프 패드(3) 및 절단부(24) 및 그 주위만이 개구한 표면 보호막(6)을 형성하고 계속해서 무전해 금도금을 실시함으로써 범프 패드부(3)에 금을 성막하였다. 여기서는 표면 보호막(6)으로서 솔더 레지스트를 사용하여 이를 반도체 장치(13)의 전면에 도포한 후에 노광, 현상함으로써 패턴을 형성한다. 또, 솔더 레지스트 외에도 감광성 폴리 이미드나 인쇄용 폴리 이미드 등의 재료를 사용하여 표면 보호막(6)을 형성하는 것도 가능하다.

이상과 같은 공정을 거침으로써, 표면 보호막(6)은 재 배선용 배선(4), 응력 완화층(5), 보호막(8) 등을 완전히 덮게 된다. 이 때문에 표면 보호막(6)은 재 배선용 배선(4), 응력 완화층(5), 보호막(8)이 자극성 물질에 의해 변질, 박리, 부식하는 것을 억제할 수 있다. 표면 보호막(6)에 사용하는 재료에는 이러한 최종 보호막으로서의 특성이 요구되기 때문에, 실온(20°C 정도로 한다) 부근에서의 파단 신장이 적어도 3% 이상 필요하여, 10%를 초과하는 파단 신장을 갖는 재료인 것이 바람직하다. 파단 신장이 3%를 밑도는 재료의 경우에는 제조 단계에서의 여러가지 프로세스, 패키징으로서 유통시킬 때의 핸들링, 혹은 기기에 조립하여 사용하고 있는 환경 하에서의 각종 충격이나 응력 등에 의해 표면에 균열이 발생하기 쉬운 경향이 있어 최종 보호층으로서의 기능의 일부를 상실할 위험성이 있다. 반대로 파단신장이 10%를 초과하면 상술한 바와 같은 균열 발생의 위험성은 낮기 때문에 본 실시예를 실시하는 데에 있어서 특단의 문제는 없지만, 일반적으로는 대체로 파단 신장 200% 이하인 것이 바람직하다. 파단 신장이 200%를 초과하는 재료는 내열성이나 내후성 면에서 떨어지는 경우가 보여진다. 따라서, 보다 바람직하게는 파단 신장 100% 이하의 재료를 사용하는 것이 바람직하다.

또한, 최종 보호막(6)에는 하층과의 밀착 신뢰성 확보라는 다른 기능도 요구된다. 따라서, 표면 보호막(6)의 성막 프로세스는 재료가 갖는 밀착 특성을 손상하지 않도록 하는 연구가 필요하여, 본 실시예에서는 경화 플로우의 적정화를 행하고 있다. 구체적으로 예시하면, (1) 다단계의 온도계층으로 이루어지는 경화 플로우의 채용, (2) 최종 경화 온도에서의 경화 시간의 적정화, 등의 연구를 들 수 있다. 더욱 구체적으로 기재하면, 프레샤육 조건에 노출한 후의 밀착성 성적을 감안하여 상기 예시한 연구와 기타 공지, 관용의 연구를 적절하게 조합한다.

이상에서 설명한 제철 공정까지에서, 도 20 및 도 2에 도시한 바와 같이 알루미늄 패드(7)로부터 범프 패드(3)까지의 재 배선용 배선(4) 및 범프 패드(3)가 반도체가 형성된 웨이퍼(9) 상에 형성된다.



다음으로 제팔 공정에서는 땀납 볼 탑재 장치와 리플로우로를 사용하여 범프를 형성한다.

즉, 땀납볼 탑재장치를 이용함으로써 범프 패드(3) 상에 소정량의 플럭스와 땀납볼을 탑재한다. 상기 땀납볼로서는 납 프리인 땀납볼을 사용하는 것이 바람직하다. 이 때, 땀납볼은 플럭스의 점착력에 의해 범프 패드 상에 임시로 고정된다. 땀납볼이 탑재된 반도체 웨이퍼를 리플로우로에 투입함으로써 땀납볼은 일단 용융되고, 그 후 다시 고체화함으로써, 도 1에 도시한 범프 패드(3)에 접속한 범프(1)로 된다. 그 외에도 인쇄기를 사용하여 땀납 페이스트를 범프 패드(3) 상에 인쇄 도포하고 이를 리플로우함으로써 범프(1)를 형성하는 방법도 있다. 어떠한 방법이든 땀납 재료는 다양한 것을 선택할 수 있어, 현 시점에서 시장에 공급되고 있는 땀납 재료의 대부분을 사용할 수 있다. 기타, 땀납 재료는 한정되기는 하나, 도금 기술을 사용함으로써, 범프(1)를 형성하는 방법도 있다. 또한, 금이나 동을 중심으로 한 볼을 사용한 범프나 도전 재료를 배합한 수지를 사용하여 형성한 범프를 사용하더라도 좋다.

이상, 제1 공정에서 제9 공정까지의 공정을 거침으로써, 도 1에 도시한 응력 완화층(5)을 구비하고, 또한 적은 공정수로 재 배선용 배선(4)이 형성되며 더구나 재 배선용 배선(4)의 도중에는 응력이 집중되는 굴곡부가 존재하지 않는 반도체 장치(13)를 실현할 수 있다. 또한, 상술한 바와 같이, 스크린 인쇄 등의 인쇄 기술을 사용함으로써, 노광이나 현상 기술을 사용하는 일 없이 막 두께가 두꺼운 절연층인 응력 완화층(5)을 패턴 형성할 수가 있고, 그 응력 완화층(5)은 재 배선용 배선(4)을 형성하기 위한 사면을 구비할 수가 있다.

본 실시예에 따르면, 언더필을 실시하지 않고, 반도체 장치(13)를 플립 칩 접속한 경우에도 반도체 장치(13)의 접속 신뢰성을 대폭 향상시킬 수 있다.

이 때문에 본 실시예에 따르면, 많은 전기 제품에 있어서 언더필을 사용하지 않는 플립 칩 접속이 가능해져, 각종 전기 제품의 가격을 저감하는 것이 가능해진다.

또한, 언더필을 실시하지 않기 때문에, 반도체 장치(13)의 제거가 가능해진다. 즉, 회로 기판에 접속한 반도체 장치(13)가 불량품일 경우, 반도체 장치(13)를 회로 기판상에서 제거하여 회로 기판을 재생하는 것이 가능해져, 이것에 의해서도 각종 전기 제품의 가격을 저감할 수가 있다.

이상에서 설명한 본 발명에 따른 패키지(반도체 장치)(13)에서는 도 21에 도시한 바와 같이 회로 기판(14)으로의 접합 범프(1)의 하부에 응력 완화층(5)을 설치한 구조로 되어 있고, 범프(1)에 작용하는 열 응력은 범프(1)의 하부에서 응력 완화층(5)으로 전달되게 된다. 즉, 본 발명에 따른 반도체 장치(13)는 응력 시뮬레이션 실험에 의해, 열응력이 범프(1)의 상하부에 집중하는 것을 명백하게 한 뒤에 응력 집중점인 범프 하부에서 직접적이고 또한 효율적으로 응력을 완화할 수 있는 구조를 구축한 것이다. 이와 같이 본 발명에 따른 패키지(반도체 장치) 자체가 갖는 구조적 특징을 잘 인출하기 위해서, 응력 완화층(5)의 재료 조성에도 연구를 실시하였다. 즉, 본 실시예에 따른 응력 완화층(5)의 재료는 언더필 수지와 비교하여 탄성율이 저감되어 있어, 그 결과로서 범프(1)에 작용하는 열 응력을 유연하게 완화시킬 수 있다. 이 응력 완화층(5)에 바람직한 재료의 탄성율은 실온에서 0.1~10.0 GPa 정도인 것이 바람직하지만, 일반적인 폴리 이미드 경화물보다는 탄성율이 낮은 것이 더욱 바람직하다. 또, 일반적인 언더필 수지의 탄성율은 일반적인 폴리 이미드 경화물보다도 크다. 응력 완화층(5)용 재료의 탄성율이 0.1 GPa를 밑돌 정도로 지나치게 작은 경우에는 후술하는 돌기 전극의 형성이나 상기 반도체 장치의 기능 시험을 행할 때에 배선 부분이 변형되기 쉬워져 단선 등의 문제가 발생할 염려가 있다. 또한, 응력 완화층(5)의 탄성율이 10.0 GPa를 초과하여 커지면 충분한 응력 저감 효과가 얻어지지 않아, 상기 반도체 장치(13)를 기판(14)에 탑재했을 경우의 접속 신뢰성이 저하할 염려가 있다.

또한, 본 발명에 따른 반도체 장치에서는 상기한 바와 같은 패키지 구조나 재료 물성의 특징을 인출하기 위해서, 수지층 형성 공정의 순서에도 여러 가지 궁리를 해 놓았다. 즉, 상술한 바와 같이, 본 실시예에서는 재 배선을 형성하기 전에 응

력 완화층(5)을 형성·경화시킨다. 그 결과, 응력 완화층(5)을 형성할 때에는 배선(4) 및 범프(1)는 아직 형성하기 전의 상면이 개방된 상태로 있어 응력 완화층(5)으로의 내부 응력의 축적이 작아, 수지 내부 응력에 기인한 범프의 변형은 발생하지 않는다.

또한, 본 실시예에 따른 응력 완화층(5)의 재료의 실시예에 대하여 구체적으로 설명한다. 즉, 응력 완화층(5)의 재료로서는 다음의 표2에 예시하는 바와 같이, 열가소성 재료도 열 경화성 재료도 동등한 성적을 제공한다는 것이 본 발명의 반도체 장치(13)에 대한 온도 사이클 시험 결과로부터 판명되었다.

No	응력 완화층의 재료	시험 조건	시험 시료수	불량발생 사이클 수
1	열 가소성 * 1	- 5 5℃ / 1 2 5℃	4 5	> 1 0 0 0
2	열 경화성 * 1		4 5	> 1 0 0 0
3	없음 * 1		2 0	1 0 0
4	없음 * 2		2 0	> 1 0 0 0

- \* 1 : 언더필 무
- \* 2 : 언더필 유

이 표2로부터 알 수 있는 바와 같이 응력 완화층(5)이 없고, 언더필을 사용하지 않은 실장 형태에서는 초기 단계에서 상당히 불량률이 발생하는(No. 3) 것에 비하여 응력 완화층(5)이 있는 경우(No. 1 및 2)에는 언더필이 없더라도 좋은 성적을 제공하고 있다. 이 성적은 응력 완화층이 없고, 언더필이 있는 실장 형태(No. 4)와 동등하여, 접속 신뢰성 향상이라는 관점에서, 응력 완화층(5)이 언더필과 동등한 효과·작용을 갖고 있다는 것이 판명되었다.

또, 예를 들면 응력 완화층(5)의 재료는 응력 완화층 형성 공정 이후의 각 공정에서의 최고 도달 온도 Tmax(350℃ 정도)를 고려한 유리 전이 온도 Tg 및 용융 온도 Tm을 갖는 것을 선택하는 것이 바람직하다. 더욱, 구체적으로 진술하면, 배선(4)을 응력 완화층(5)의 표면에 밀착시키기 위한 스퍼터 성막, 표면 보호막(커버코팅층)(6)의 성막, 뿔납리플로우 공정에서의 최고 도달 온도 Tmax와 응력 완화층(5)의 재료의 유리 전이 온도 Tg 및 용융 온도 Tm과의 사이에 특정한 관계가 있는 것이 바람직하다.

그 근거에 대하여, 그 요점을 도 22~ 도 24를 참조하여 설명한다. 도 22의 (a), (b), 및 도 23의 (a), (b), (c)는 5 종류의 재료 A, B, C, D, E의 동적 점탄특성(저장탄성율)과 열 기계 특성(TMA) (팽창량)을 나타낸 그래프이다.

도 22의 (a)에 나타낸 재료 A는 용융 온도 Tm- a가 프로세스중 최고 도달 온도 Tmax(350℃ 정도) 이상을 갖는 열가소성 재료이다. 즉, 도 22의 (a)에 나타낸 재료는 프로세스중 최고 도달 온도 Tmax가 유리 전이 온도 Tg- a와 용융 온도 Tm- a와의 사이에 있는 재료이다. 도 22의 (b)에 도시하는 재료 B는 용융 온도 Tm- b가 프로세스중 최고 도달 온도 Tmax보다도 낮은 열가소성 재료이다. 재료 A 및 B는 열가소성 재료로, 용융 온도는 각각 Tm- a≥ Tmax, Tm- b< Tmax 이다. 따라서, 도 22의 (b)에 나타낸, 예를 들면 열가소성 재료 B는 Tm- b≤ Tmax 이기 때문에, 프로세스중에 수지의 파단이 발생한다고 하는 문제가 있기 때문에 응력 완화층용 재료로서는 사용할 수 없다. 그러나, 도 22의 (a)에 나타낸 열가소성 재료 A에서는 용융 온도 Tm- a> Tmax 이므로 프로세스중에 파단이 발생하지 않는다.

열가소성 재료의 경우, 고분자화 된 것을 사용하기 때문에 성막한 막 강도는 일정해지기 쉬우나, 유리 전이 온도  $T_g$  부근으로부터 고온측에서 막 강도는 현저히 저하한다. 따라서, 본 실시예에서는 도 22의 (a)에 도시한 바와 같이 유리 전이 온도  $T_g$ 와 용융 온도  $T_m$ 을 고려한 프로세스 온도로 함으로써 강도 저하의 문제를 해결하고 있다.

이에 대하여 후술하는 열 경화성 재료를 사용하는 경우, 일반적으로 열 경화성 재료는 저 분자로 성막하기 때문에, 경화 과정 프로세스 안정성(열의 균일성등)이 나쁘면 일정하지 않은 경우가 있다. 적절히 관리되고 있으면, 유리 전이 온도  $T_g$  이하에서는 충분한 강도가 있어 유리 전이 온도  $T_g$ 를 초과해도 막 강도의 저하를 억제할 수도 있다.

즉, 응력 완화층(5)으로서 열가소성 재료의 경우, 니스의 성상으로서의 반응성이 없는(경화가 완료된) 니스를 고화시키게 된다. 그리고, 용제에 용해하여 사용하기 때문에, 무용제화하는 경우에는 고온으로 하여 용융할 필요가 있다. 열가소성 재료의 경우, 이미 고분자화 되어 있기 때문에, 용융에는 상당한 고온이 필요하다.

이 열가소성 재료의 성막방법으로서의 니스를 도포한 후, 니스내의 용제를 가열등에 의해 휘발시키거나, 또는 용융시킨 수지를 도포후, 냉각한다.

이와 같이 열가소성 재료의 경우, 고분자화 된 것을 사용하기 때문에 강도는 일정해지기 쉽다. 다만, 유리 전이 온도 부근에서 고온측에서의 강도 저하는 현저하다. 본 실시예에서는 유리 전이 온도  $T_g$  및 용융 온도  $T_m$ 을 고려한 프로세스 온도로 되어 있기 때문에 강도 저하의 문제는 없다. 또한, 열가소성 재료의 경우, 성막 전에 이미 경화 반응이 종료한 고분자의 용액 혹은 용융액을 사용하기 때문에, 피 도포면의 표면 분자와의 화학 결합 반응은 그다지 기대할 수 없고, 밀착 강도는 반드시 강하지만은 않다. 그러나, 본 실시예에서는 피 도포물의 표면성상을 여러 가지로 궁리함으로써 사용이 가능하게 되었다. 구체적으로는 밀착면이 되는 보호막(8)에 특정한 밀착촉진성 화합물을 첨가하거나, 표면 형상(요철)을 적절하게 제어한다. 또한, 유기성의 보호막(8)을 사용하는 경우에는 보호막(8)을 팽윤(膨潤)시키는 용제를 사용하여 열가소성 수지의 니스를 조정한다. 이러한 궁리에 의해, 열가소성 수지를 도포하면, (1) 보호막 속으로 용제가 확산하여 보호막(8)을 구성하고 있는 유기 고분자의 간격이 증대하여 보호막(8)의 표면이 팽윤되고 (2) 열가소성 분자가 보호막(8)의 분자의 간극으로 들어가 (3) 가열 경화 과정에서 용제가 제거되면, 팽윤되어 있는 보호막이 소결된다, 라는 기구에 의해, 밀착성을 확보할 수가 있다. 또한, 열가소성 수지 속에 미반응 부분을 잔존시키거나, 다른 열 경화성 성분을 첨가하거나 하여 보호막(8)의 표면과의 반응성을 확보할 수가 있다.

도 23의 (a), (b), (c)에 나타낸 재료 C, D, 및 E는 각각 열 경화성 재료이기 때문에, 용융점  $T_m$ 을 갖지 않는다. 도 23의 (a)에 나타낸 열 경화성 재료 C는 유리 전이 온도  $T_g$ -c가 프로세스중 최고 도달 온도  $T_{max}$ 와 동등 이상을 갖는 재료이다. 도 23의 (b)에 나타낸 재료 D와, 도 23의 (c)에 나타낸 열 경화성 재료 E는 각각, 프로세스중 최고 도달 온도  $T_{max}$ 보다도 낮은 유리 전이 온도  $T_g$ -d,  $T_g$ -e를 갖는 재료이다. 또, 여기서 말하는 동등이라는 것은  $\pm 20^\circ\text{C}$  정도이다.

도 23의 (a)~(c)에 나타낸, 재료 C~E는 열 경화성 재료로서 모두 프로세스 중에서의 파단은 발생하지 않지만,  $T_g$ 가 낮고, 또한  $T_g$  이상의 선팅창계수( $\alpha_2$ )가 큰 재료 E는 제조 공정의 도중에서의 변형이 커져 버리기 때문에, 프로세스 중에서의 위치 정렬이나 핸들링의 관점에서는 실용적이지 않다. 예를 들면, 스퍼터중의 온도 상승 때문에 성막 초기와 말기에서 형상에 차가 생겨, 따라서, 성막의 실패가 발생하기 쉬워지므로 본 발명에의 적용은 바람직하지 못하다.

이와 같이 응력 완화층(5)에 사용하는 재료로서는 사용 조건에 따라서 열가소성 수지이건 열 경화성 수지이건 간에 사용할 수가 있다. 그러나, 도 9 등에 도시한 팽창부(34)를 형성하는 것을 고려하면, 경화하기까지의 메카니즘의 차이 때문에, 열가소성 수지를 사용하는 것이 바람직하다. 즉, 열가소성 수지는 그 성막 방법이 니스를 도포한 후, 니스내의 용매를 가열하는 등에 의해 휘발시켜 경화시키는 그러한 방법을 채용하고 있기 때문에 경화 과정에서 인쇄 형성된 형상, 팽창부(34)는 유지된다. 종래, 이 용제형 열가소성 수지를 사용했을 경우, 경화 과정에서 그 휘발분이 보이드의 요인이 된다는 점에서 일반적으로는 사용되지 않았었다. 그러나, 본 실시예에서는 본 기술이 적용되는 반도체 장치가 상층이



개방인 상태에서 열가소성 수지를 도포, 경화시키는 것이기 때문에, 다량의 용제를 포함하고 있는 열가소성 수지를 사용했다고 하더라도 상방으로부터 용제가 휘발하여 보이드로서는 존재하지 않아, 종래와 같은 문제는 발생하지 않는다. 마지막으로, 열가소성 수지는 그 성막방법이 (1) 용융시킨 수지를 도포후, 냉각하는 용융형의 2 종류가 있지만, 전술한 이유에 의해 용제형 열가소성 수지를 사용하는 것이 바람직하다는 것은 당연하다. 또, 후자의 용융형도, 니스가 이미 고분자화하고 있기 때문에, 용융에는 상당한 고온이 필요하고, 그 때문에 열팽창량의 차이, 큰 내부 응력을 저장한다는 점에서 보더라도 바람직하지는 않다.

팽창부(34)를 형성하는 것에 대해서는 전술한  $T_g$ 나  $T_m$ 의 관계에는 의존하지 않는다.

그런데, 열가소성 수지를 사용하는 경우, 성막 전에 이미 경화 반응이 종료한 고분자의 용액 혹은 용융액을 사용하기 때문에, 피 도포면의 표면 분자와의 화학 결합 반응은 그다지 기대할 수 없고, 피 도포면과의 밀착 강도는 반드시 강하지 않은 않다. 따라서, 본 실시예에 있어서 유기성의 보호막(8)을 사용하는 경우에는 보호막(8)을 팽윤시킬수 있는 용제, 예를 들면 용해도 파라미터(SP치)가  $8 \sim 20(\text{cal/cm}^3)^{1/2}$  인 것이 바람직하다. 보다 구체적으로는 적어도 지환식(脂環式) 아미드 화합물 또는 5~8 원클래톤을 갖는 용제가 바람직하다. 예를 들면, N- 메틸피롤리돈이나 감마 부틸로락톤(butyrolactone)이 바람직하다. 지환식 아미드 화합물 또는 5~8원클래톤은 아니나, 디메틸 포름 아미드나 메틸 아세트 아미드나 디메틸 설펍시라도 좋다. 이들을 사용하여 열가소성 수지의 니스를 조정한다. 이러한 열가소성 수지를 도포하면, (1) 보호막 속에 용제가 확산하여 보호막(8)을 구성하고 있는 유기 고분자의 간격이 증대함으로써 보호막(8)의 표면이 팽윤하고 (2) 열가소성 분자가 보호막(8)의 분자의 간극에 들어가 (3) 가열 경화 과정에서 용제가 제거되면, 팽윤되어 있는 보호막이 소결된다, 라는 기구에 의해, 밀착성을 확보할 수가 있다.

또한, 밀착면이 되는 보호막(8)에 특정한 밀착 촉진성 화합물, 예를 들면, 실란 커플링제 등을 첨가하거나, 표면의 형상에 요철을 형성하더라도 좋다.

또한, 열가소성 수지 속에 미반응 부분을 잔존시키거나, 다른 열 경화성 성분을 첨가하거나 하여, 보호막(8)의 표면과의 반응성을 확보할 수도 있다.

그런데, 응력 완화층용 재료로서의 열 경화성 재료 및 열 경화성 재료에 있어서, 경화 온도는  $100^\circ\text{C}$ 에서  $250^\circ\text{C}$ 까지의 것을 사용하는 일이 바람직하다. 경화 온도가 이보다 낮은 경우, 반도체 제조시의 공정 내에서의 관리가 어렵고, 경화 온도가 이것보다 높아지게 되면 경화 냉각 시의 열수축에 의해 웨이퍼 응력이 증대하거나, 반도체 소자의 특성이 변화할 염려가 있기 때문이다.

또한, 경화 후(응력 완화층 형성 공정 후)의 응력 완화층(5)은 상술한 바와 같이 스퍼터, 도금, 에칭 등의 여러가지의 공정에 노출된다는 점에서, 내열성, 내약품성, 내용제성 등의 특성도 요구된다.

구체적으로는 응력 완화층용 재료로서의 열가소성 재료 및 열 경화성 재료에 있어서, 내열성으로서, 유리 전이 온도( $T_g$ )가  $150^\circ\text{C}$  이상  $400^\circ\text{C}$  이하인 것이 바람직하고, 보다 바람직하게는  $T_g$ 가  $180^\circ\text{C}$  이상, 가장 바람직하게는  $T_g$ 가  $200^\circ\text{C}$  이상이다.

$400^\circ\text{C}$ 를 초과하게 되면 기대할 정도의 저탄성율의 것, 즉 실용적인 재료가 없기 때문에  $400^\circ\text{C}$  이하로 하였다. 또한,  $150^\circ\text{C}$  이상으로 한 이유를 도 25, 및 도 26에 도시한다.

도 25는 스퍼터시에 그 스퍼터막에 균열이 발생하는지 아닌지에 대하여 실험한 결과로서, 응력 완화층(5)의 물성치(선팽창계수, 유리 전이 온도)에 대하여 그래프로 표시하였다. 그래프로부터도 알 수 있는 바와 같이 유리 전이 온도가 높을수록 균열이 발생하지 않는다. 또한, 그 스퍼터 내성은 선팽창계수가 높을수록 낮아지는 것을 알 수 있다.

이것은 도 26에 도시한 바와 같이 스퍼터시에 있어서 스퍼터 입자가 수지층(응력 완화층; 5)에 닿아, 그 운동 에너지가 열로 변하여 수지는 열팽창한다.

그 후, 열팽창한 수지상에 스퍼터막은 성장하지만, 스퍼터 종료 후, 수지는 수축한다.

따라서, 스퍼터막에 열팽창하기 쉬운 수지일 수록, 수축하는 비율이 커서, 열팽창한 수지 상에 형성되는 스퍼터막은 주름이나 균열을 발생한다. 수지는 유리 전이 온도가 낮고, 선팽창계수가 클수록, 변형하기 쉽다.

따라서, 도 25로부터 알 수 있는 바와 같이 스퍼터 시의 배선 형성 불량을 억제하는데 있어서는 150°C 이상의 것으로부터 양품의 것이 얻어지기 때문에 바람직하며, 또한, 180°C 이상이면 대부분이 양품이 되고, 200°C 이상이면 거의 모든 것이 양품으로 되기 때문에 더욱 바람직하다.

반대로, 프로세스 중에서의 변형이라는 관점에서 말하자면 열가소성 재료는 물론이고, 열 경화성 재료라 할 지라도, 본 발명에의 적용에 제한이 있다. 구체적으로 진술하면, 도 24에 있어서, 재료 R, S로 나타낸 바와 같이 실온(상온:20°C 정도로 한다)에서 프로세스중의 최고 온도  $T_{max}$ 까지의 신장의 누적치(팽창량)  $\sum (\alpha(T) \times \Delta T)$ 가 10% 정도 이하인 것이 바람직하다. 그것은 응력 완화층(5)의 표면에 적어도 500 $\mu$ m 정도의 길이의 Cu나 Ni 등으로 되어있는 배선(4)이 형성되어 있기 때문에, 응력 완화층의 10% 정도의 변형(신장)에 그 배선(4)이 추종할 수 없게 되어 계면의 박리나 수지의 균열이 발생하기 때문이다. 열가소성 재료이고, 또한 이러한 관계식을 만족하는 재료는 특정한 선팽창계수와  $T_g$  및 동적 점탄특성을 갖는다. 구체적으로 예시하면, 선팽창계수 200 ppm/°C 이하인 것이 바람직하고, 상술한 바와 같이  $T_g$ 가 150°C 이상인 것이 바람직하다.

또, 도 24에 나타낸 재료 P, Q는 실온에서 프로세스중의 최고 온도  $T_{max}$ 까지의 신장의 누적치(팽창량)  $\sum (\alpha(T) \times \Delta T)$ 가 10% 이상으로 되기 때문에, 바람직한 재료가 아니다.

반대로, 응력 완화층 재료의 물성치를 고려하여 예를 들면 표면 보호막(6)의 재료의 경화 시간을 길게 하는 대신에 경화 온도를 내린다고 하는 공리를 하는 것도 상관없다.

즉, 응력 완화층용 재료로서의 열가소성 재료 및 열 경화성 재료에 있어서, 공정 중에서의 다양한 온도 처리에 있어서의 변형량을 억제하는 관점에서,  $T_g$  이하의 영역에서의 선팽창 계수( $\alpha_1$ )는 작을수록 바람직하다. 구체적으로는 3 ppm에 가까울수록 좋다. 일반적으로 저탄성 재료는 선팽창 계수가 큰 경우가 많지만, 본 실시예에서 바람직한 응력 완화층(5) 재료의 선팽창 계수의 범위는 3 ppm~ 300 ppm의 범위인 것이 바람직하다. 보다 바람직하게는 3 ppm~ 200 ppm의 범위이고, 가장 바람직한 선팽창 계수는 3 ppm~ 150 ppm의 범위이다.

한편, 응력 완화층용 재료로서의 열가소성 재료 및 열 경화성 재료에 있어서, 열 분해 온도( $T_d$ )는 약 350°C 이상인 것이 바람직하다. 유리 전이 온도  $T_g$ 나 열 분해 온도  $T_d$ 가 이것들의 값을 밑돌고 있으면, 프로세스 중에서의 열 공정, 예를 들면 스퍼터나 스퍼터 에칭공정에서 수지의 변형, 변질이나 분해가 발생할 위험성이 있다. 내약품성의 관점에서 말하자면, 30% 황산 수용액이나 10% 수산화 나트륨 수용액에의 24 시간 이상의 침지로 변색, 변형 등의 수지 변질이 발생하지 않는 것이 바람직하다. 내용제성으로서는 용해도 파라미터(SP치)가 8~ 20( $\text{cal/cm}^3$ )<sup>1/2</sup>로 되는 것이 바람직하다. 응력 완화층(5)용이 베이스 수지에 몇개인가의 성분을 변성하여 이루어지는 재료인 경우에는 그 조성의 대부분이 상기 용해도 파라미터의 범위에 들어가 있는 것이 바람직하다. 보다 구체적으로 말하면, 용해도 파라미터(SP치)가 8 미만 혹은 20을 넘는 성분이 50 중량%를 초과하여 함유되어 있지 않은 것이 바람직하다.

이들의 내약품성이나 내용제성이 불충분하면 적용 가능한 제조 프로세스가 한정되는 경우가 있어 제조원가 저감의 관점에서 바람직하지 못한 경우도 있다. 현실적으로는 이들의 특성을 만족하는 재료 비용과 프로세스 자유도를 종합적으로 감안한 뒤에 응력 완화층(5)용의 재료를 결정하면 좋다.

이상에서 설명한 응력 완화층용 재료로서의 열가소성 재료 및 열 경화성 재료의 구체적 조성으로서는 페이스트형 폴리이미드이지만, 이것에 한하지 않고 변성아미드 이미드 수지, 에스테르 이미드 수지, 에테르 이미드 수지, 폴리 에스테르 수지, 변성 실리콘 수지, 변성 아크릴 수지 등이라도 무방하다.



상기 열거한 수지 중, 이미드 결합을 갖는 수지, 예를 들면 폴리 이미드, 아미드 이미드, 에스테르 이미드, 에테르 이미드 등에서는 이미드 결합에 의한 강고한 골격의 덕택으로 열 기계적 특성, 예를 들면 고온에서의 강도 등에 뛰어나 그 결과로서, 배선을 위한 도금 급전막 형성방법의 선택범위가 넓어진다. 예를 들면, 스퍼터 등의 고온 처리를 수반하는 도금 급전막 형성방법을 선택할 수 있다. 실리콘 수지나 아크릴 수지, 폴리 에스테르 수지, 아미드 이미드, 에스테르 이미드, 에테르 이미드 등 이미드 결합 이외의 결합으로 축합한 부분이 있는 수지의 경우, 열 기계 특성은 약간 떨어지나 가공성이나 수지 가격 등에서 유리한 경우가 있다. 예를 들면, 폴리 에스테르 이미드 수지에서는 일반적으로 폴리 이미드보다도 경화 온도가 낮기 때문에 취급하기 쉽다. 본 실시의 형태에 있어서는 이들 수지 중에서 소자 특성, 가격, 열 기계 특성 등을 종합적으로 감안하여 이들 수지를 적절하게 구별하여 사용한다.

또한, 응력 완화층 형성용 재료로서는 예를 들면 에폭시, 페놀, 폴리 이미드, 실리콘 등의 수지를 단독 혹은 2 종류 이상 배합하여 이것에 각종 계면과의 접착성을 개선하기 위한 커플링제나 착색제 등을 배합하여 사용하는 것이 가능하다.

이상에서 설명한 바와 같이 본 발명에서는 배선(4)이나 범프(1)를 형성하기 전에 수지층 형성 공정을 행하기 때문에 보이드가 발생하지 않고, 온도 사이클 시험에서의 성적 향상이 도모되며,, 더구나 패키지 사이즈에 상관없이 수지 형성 시간은 일정하다. 이와 같이 패키지 사이즈에 상관없이 수지 형성 시간이 일정하다는 점에서, 생산 라인의 효율적 운용도 가능해진다. 이러한 점에서, 본 발명은 큰 패키지(반도체 장치; 13)의 사이즈, 구체적으로는 10mm 각을 초과하는 칩 사이즈 패키지의 실장에 대해서도 문제 없이 적용할 수가 있다.

다음으로 반도체 장치(13)의 다른 실시예에 대하여 설명한다. 도 27은 반도체 장치(13)의 돌기 전극(1)의 배열을 변경하기 위한 기판(115)에 탑재한 상태를 도시한 단면 개략도, 도 28은 또한 반도체 장치(13)와 이를 탑재하는 기판(115)의 간극을 수지(118)로 밀봉한 상태를 도시한 단면 개략도이다.

반도체 장치(13)에 형성한 돌기형 전극(1)을 기판(115)상의 대응하는 전극(120) 상에 땀납 페이스트 혹은 플럭스 등을 통해 탑재하여 리플로우로 등에 의해 상기 돌기형 전극(1)을 용융시켜 기판(115)과 반도체 장치(13)의 접속을 행한다. 반도체 장치(13)를 탑재하는 기판(115)은 반도체 소자 탑재면의 이면에 각종 전자 기기에 사용되는 기판에 탑재하기 위한 전극(116) 및 필요에 따라서 돌기형 전극(121)을 구비한다.

반도체 장치(13)를 각종 전자 기기에 사용되는 기판에 탑재할 때, 기판(115) 상에 설치한 돌기형 전극(121)을 가열 용융시킬 필요가 있다. 이것들의 실장 공정 및 각종 시험에 있어서의 신뢰성, 특히 낙하충격 시험에 대한 신뢰성 성적을 더욱 향상시키기 위해서, 반도체 장치(13)와 기판(115) 사이를 수지(118)로 보강한 것이다.

반도체 장치(13)와 기판(115) 사이를 충전하는 수지(118)는 일반적으로 반도체 밀봉용으로 사용되는 액형 에폭시 수지, 페놀 수지, 폴리 이미드 수지, 실리콘 수지 등이 사용 가능하고, 밀봉 수지의 열팽창 계수나 탄성율을 조정하기 위해서 실리카, 알루미나, 질화 붕소 등의 무기 재료로 이루어지는 입자를 일종류 혹은 이 종류 이상 배합하고 또한 필요에 따라서 실리콘이나 열가소성 수지 등의 수지, 알콕시 실란이나 치터네이트 등으로 이루어지는 커플링제, 착색제, 난연성을 부여하기 위한 난연제나 난연조제 수지층의 경화 반응을 촉진시키기 위한 경화촉진제 등을 배합하는 것이 가능하다.

본 실시예에서는 반도체 장치(13)상의 돌기형 전극(1)의 피치와 각종 전자 기기에 사용되고 있는 기판의 전극의 피치가 다른 경우라 하더라도, 소정의 기판(115)을 개재함으로써 각종 전자 기기에 접속하는 일이 가능해진다.

또, 반도체 장치(13)가 되는 기판에의 실장과 마찬가지로 일반 전자 기기에 사용되는 회로 기판에 실장하는 경우도 마찬가지로 한다.

발명의 효과

본 발명에 따르면, 배선층의 절단을 방지하여 불량 발생수를 저감한 언더필이 불필요한 플립 칩 접속을 가능하게 하는 반도체 장치를 실현할 수 있는 효과를 발휘한다.

#### (57) 청구의 범위

##### 청구항 1.

반도체 장치에 있어서,

복수의 회로 전극이 배열되어 보호막이 피복된 회로면을 구비한 반도체 소자와,

상기 반도체 소자의 회로면의 보호막 상에 상기 회로 전극을 노출시켜 형성되고, 경화된 열가소성 수지로 이루어져, 엣지부에 경사를 형성한 응력 완화층과,

상기 회로 전극의 각각에 접속되어 그 회로 전극으로부터 상기 응력 완화층의 엣지부를 통해 응력 완화층의 표면의 원하는 개소까지 전기적으로 연결되어 배치되는 복수의 배선으로 이루어지는 배선층과,

상기 응력 완화층의 표면에서의 복수의 배선의 각각의 소정의 개소를 노출시켜 상기 배선층의 표면을 피복한 표면 보호막과,

상기 노출한 복수의 배선의 각각의 소정의 개소에 범프를 접합하여 형성한 외부 접속 단자

를 포함하여 구성된 것을 특징으로 하는 반도체 장치.

##### 청구항 2.

제1항에 있어서,

상기 응력 완화층의 경사 엣지부에 연결되는 주변부에 평창 부분을 형성하고 그 위의 상기 배선에 굴곡 부분을 형성하는 것을 특징으로 하는 반도체 장치.

##### 청구항 3.

제1항 또는 제2항에 있어서,

상기 응력 완화층의 경화한 열가소성 수지의 용융 온도  $T_m$ 이 상기 배선층 및 표면 보호막을 형성할 때의 최고 도달 온도  $T_{max}$  이상으로 구성된 것을 특징으로 하는 반도체 장치.

##### 청구항 4.

제1항 또는 제2항에 있어서,

응력 완화층의 경화한 열가소성 수지의 용융 온도  $T_m$ 이  $350^{\circ}\text{C}$  이상으로 구성된 것을 특징으로 하는 반도체 장치.

##### 청구항 5.

제1항 또는 제2항에 있어서,

상기 응력 완화층의 경화한 열가소성 수지의 유리 전이 온도  $T_g$ 가  $150^{\circ}\text{C}$ ~  $400^{\circ}\text{C}$ 의 범위로 구성된 것을 특징으로 하는 반도체 장치.

청구항 6.

제1항 또는 제2항에 있어서,

상기 응력 완화층의 경화한 열가소성 수지의 선팅창계수가 200ppm/°C 이하로 구성된 것을 특징으로 하는 반도체 장치.

청구항 7.

제1항 또는 제2항에 있어서,

상기 응력 완화층의 두께가 약 35μ m~ 약 150μ m인 것을 특징으로 하는 반도체 장치.

청구항 8.

제1항 또는 제2항에 있어서,

상기 응력 완화층의 경화한 열가소성 수지로서 적어도 폴리이미드, 폴리아미드, 폴리 아미드 이미드, 에폭시, 페놀, 실리콘 중의 어느 하나로 구성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 9.

제1항 또는 제2항에 있어서,

상기 반도체 소자에 형성된 보호막으로서 무기막과 그 위에 국부적으로 형성된 유기막으로 이루어지는 것을 특징으로 하는 반도체 장치.

청구항 10.

제1항 또는 제2항에 있어서,

상기 배선층에 있어서, 적어도 신호 배선에 대해서는 상기 응력 완화층의 엣지부를 응력 완화층의 평탄부보다 배선폭을 굵게 형성한 것을 특징으로 하는 반도체 장치.

청구항 11.

제1항 또는 제2항에 있어서,

상기 배선층은 상기 응력 완화층의 표면에 밀착한 급전 막층과 도금 막층으로 구성되는 것을 특징으로 하는 반도체 장치.

청구항 12.

반도체 장치에 있어서,

복수의 회로 전극이 배열되어 보호막이 피복된 회로면을 갖는 반도체 소자와,

상기 반도체 소자의 회로면의 보호막 상에 상기 회로 전극을 노출시켜 형성되고 유리 전이 온도 Tg가 150°C~ 400°C의 범위인 경화된 수지로 이루어져 엣지부에 경사를 형성한 응력 완화층과,

상기 회로 전극의 각각에 접속되어 그 회로 전극으로부터 상기 응력 완화층의 엣지부를 통해서 응력 완화층의 표면의 원하는 개소까지 전기적으로 연결되어 배치되는 복수의 배선으로 이루어지는 배선층과,

상기 응력 완화층의 표면에서의 복수의 배선의 각각의 소정의 개소를 노출시켜 상기 배선층의 표면을 피복한 표면 보호막과,

상기 노출한 복수의 배선의 각각의 소정의 개소에 범프를 접합하여 형성한 외부 접속 단자

를 포함하여 구성된 것을 특징으로 하는 반도체 장치.

청구항 13.

제12항에 있어서,

상기 응력 완화층의 두께가 약  $35\mu\text{m}$  ~  $150\mu\text{m}$ 인 것을 특징으로 하는 반도체 장치.

청구항 14.

반도체 장치 실장 구조체에 대해서,

제1항 내지 제13항 중의 어느 한 항에 기재된 반도체 장치를 상기 반도체 장치에 있어서의 외부 접속 단자를 회로 기판에 형성된 전극에 접합함으로써, 상기 회로 기판에 실장하여 구성하는 것을 특징으로 하는 반도체 장치 실장 구조체.

청구항 15.

반도체 장치의 제조 방법에 있어서,

복수의 회로 전극이 배열된 회로면을 갖는 복수의 반도체 소자가 배열된 웨이퍼를 제조하는 웨이퍼 제조 공정과,

그 웨이퍼 제조 공정에서 제조된 웨이퍼 상태에서의 각 반도체 소자의 회로면상에 보호막을 형성하는 보호막 형성 공정과,

그 보호막 형성 공정에서 형성된 웨이퍼 상태에서의 보호막 상에, 상기 회로 전극이 노출되도록, 열가소성 수지 페이스트를 마스크 인쇄를 사용하여 엠티부에 경사를 갖는 응력 완화층을 인쇄하고, 그 인쇄된 응력 완화층을 경화시켜 상기 보호막 상에 형성하는 응력 완화층 형성 공정과,

상기 웨이퍼 상태에서의 회로 전극의 각각에 접속되어 그 회로 전극으로부터 상기 응력 완화층 형성 공정에서 형성된 응력 완화층의 엠티부를 통해 응력 완화층 표면의 원하는 개소까지 전기적으로 연결되어 배치되는 복수의 배선으로 이루어진 배선층을 형성하는 배선층 형성 공정과,

그 배선층 형성 공정에서 형성된 웨이퍼 상태에서의 배선층의 표면을 상기 응력 완화층의 표면에서의 복수의 배선 각각의 소정의 개소를 노출시켜 표면 보호막으로 피복하는 표면 보호막 형성 공정과,

상기 웨이퍼 상태에서 노출한 복수의 배선의 각각의 소정의 개소에 범프를 접합하여 형성한 외부 접속 단자 형성 공정과,

웨이퍼 상태에서 원하는 단위로 절단하여 반도체 장치를 얻는 절단 공정

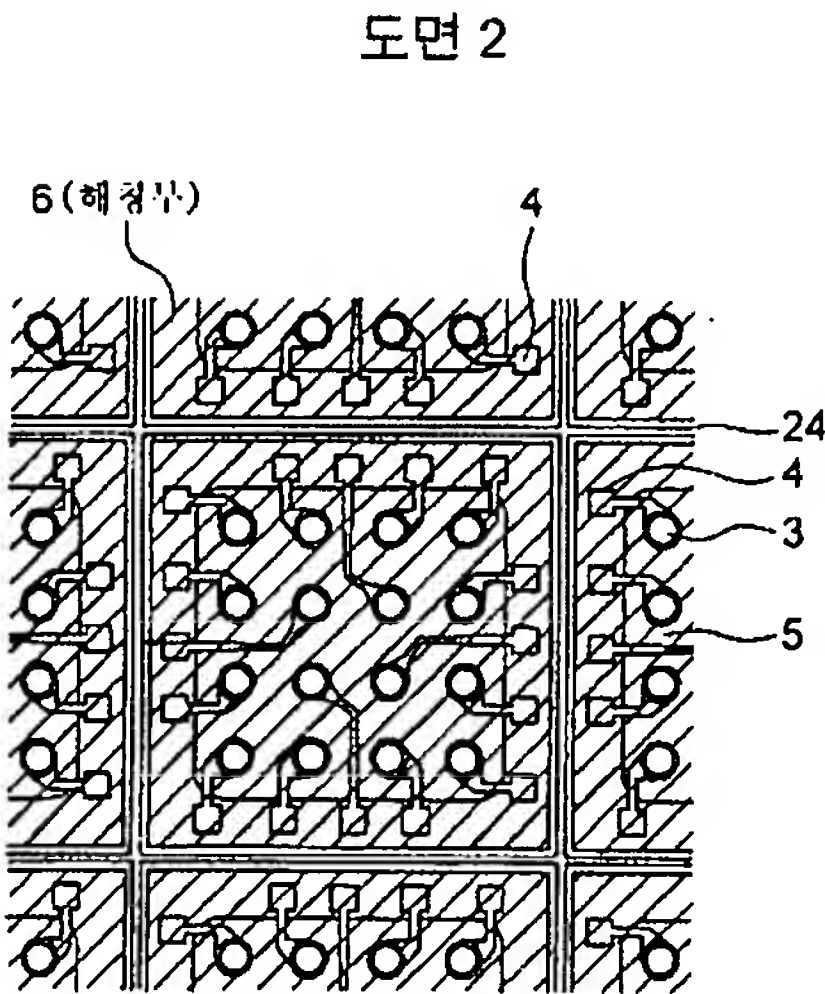
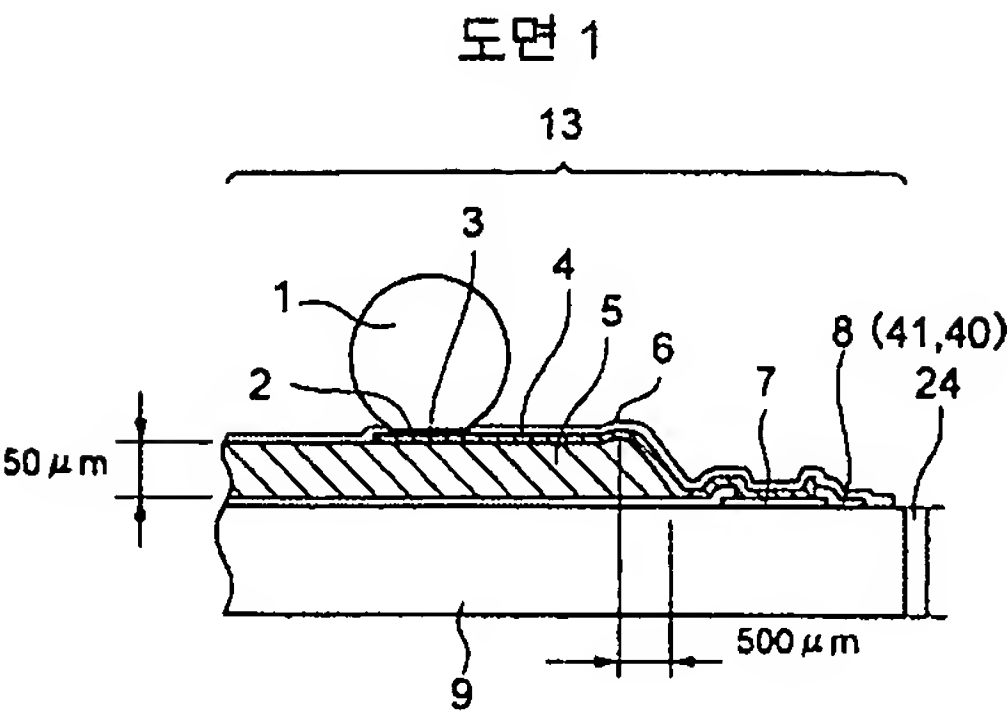
을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 16.

제15항에 있어서,

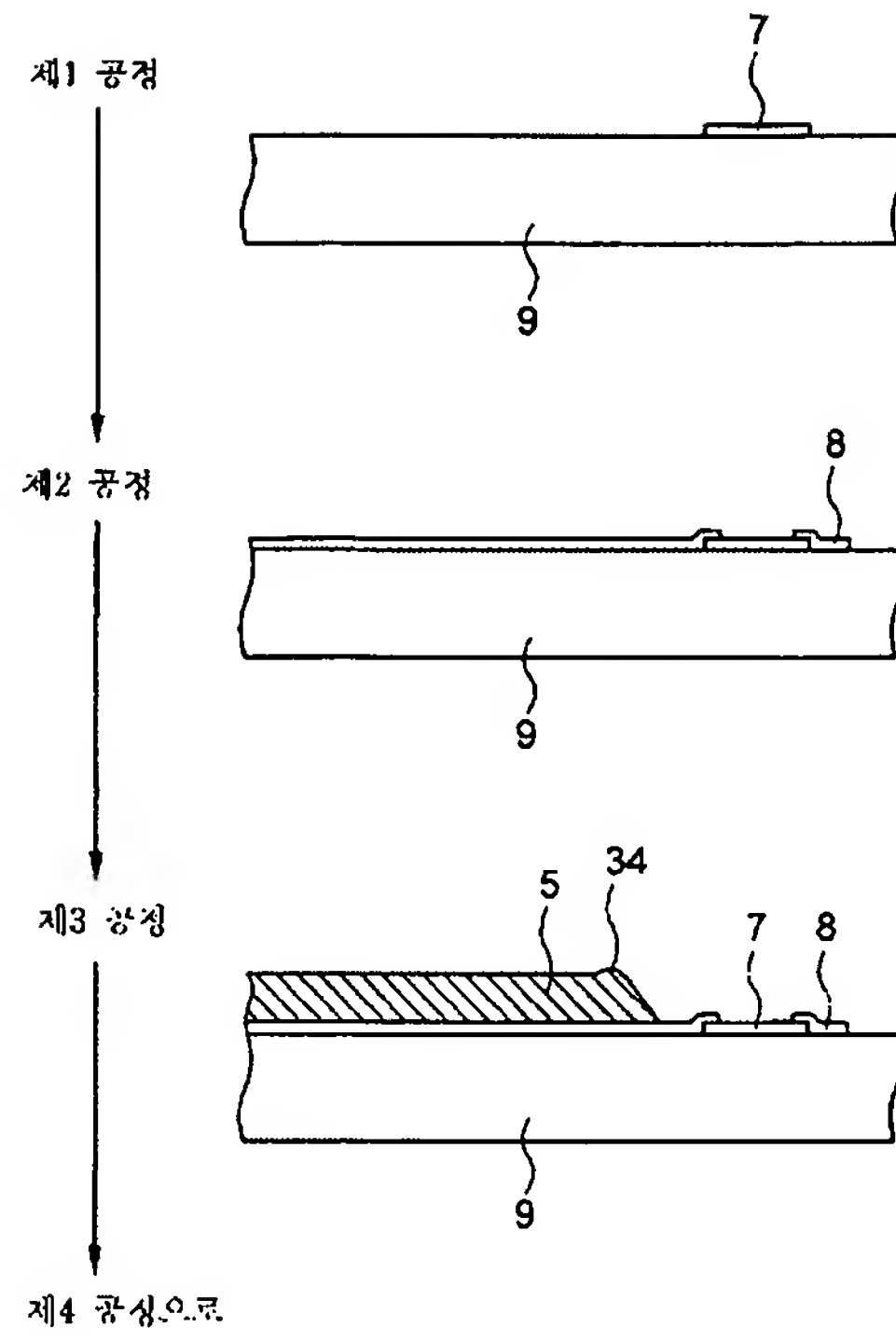
상기 배선층 형성 공정은 스퍼터 성막 공정과 도금 성막 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

도면

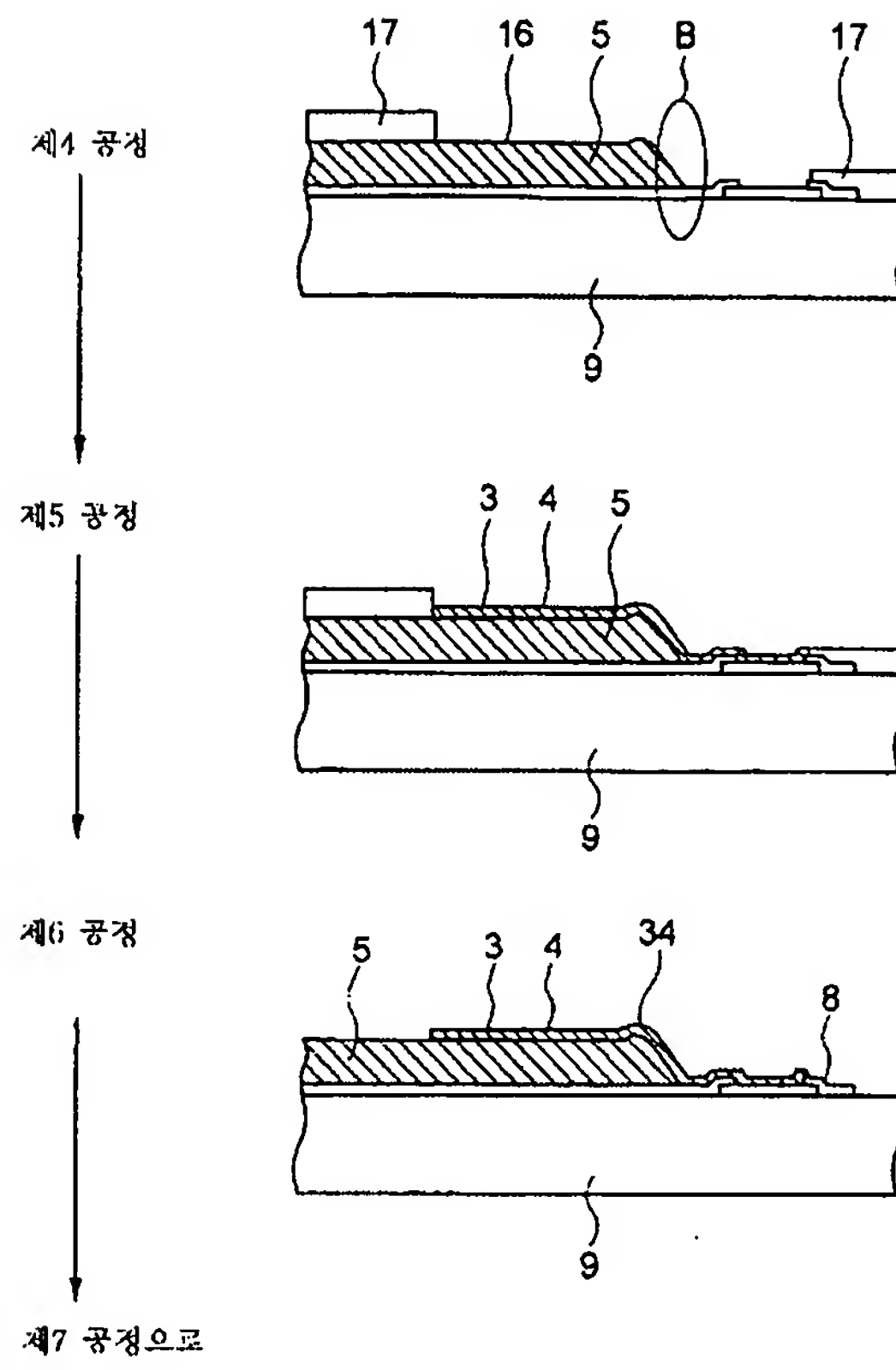




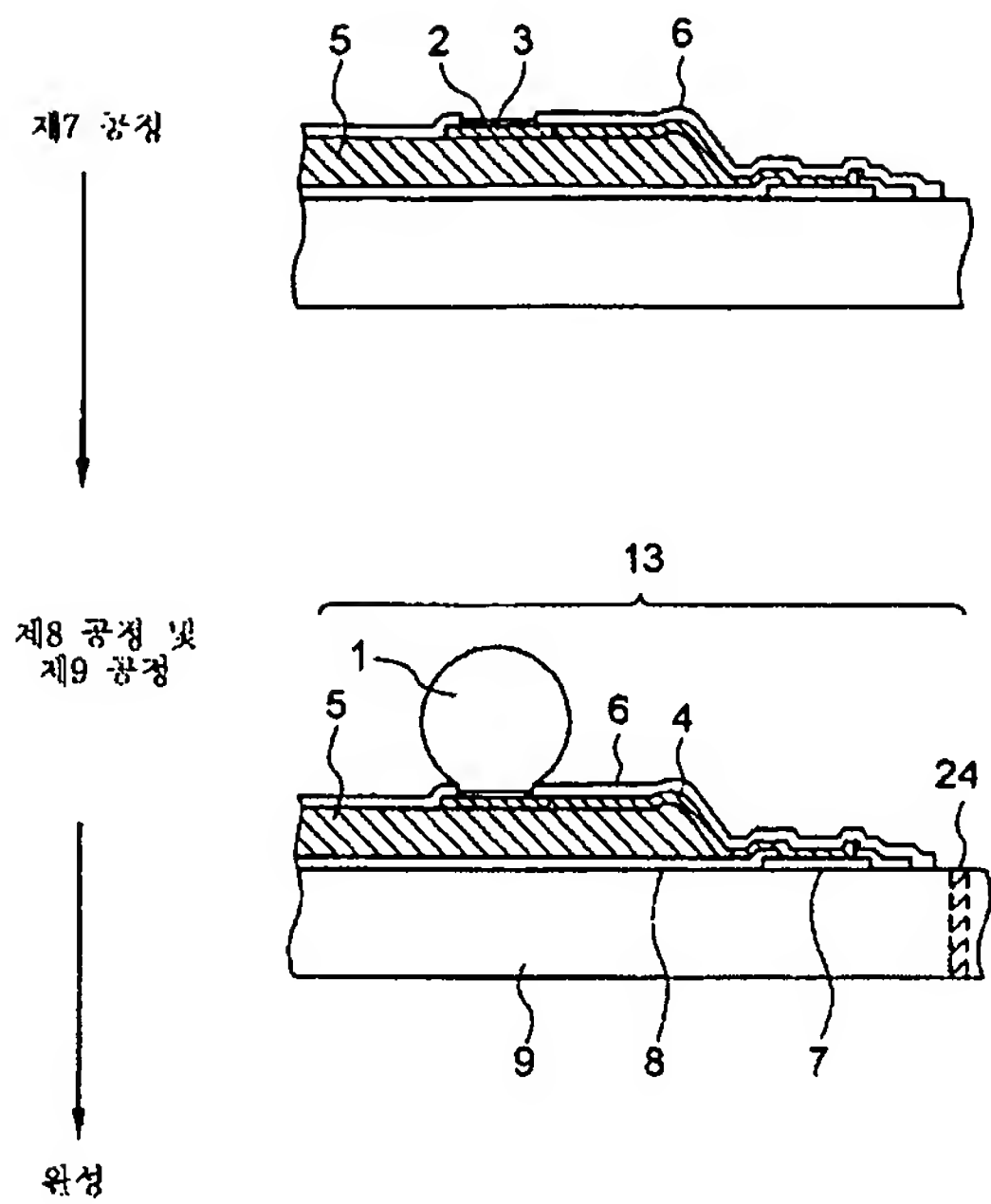
도면 3



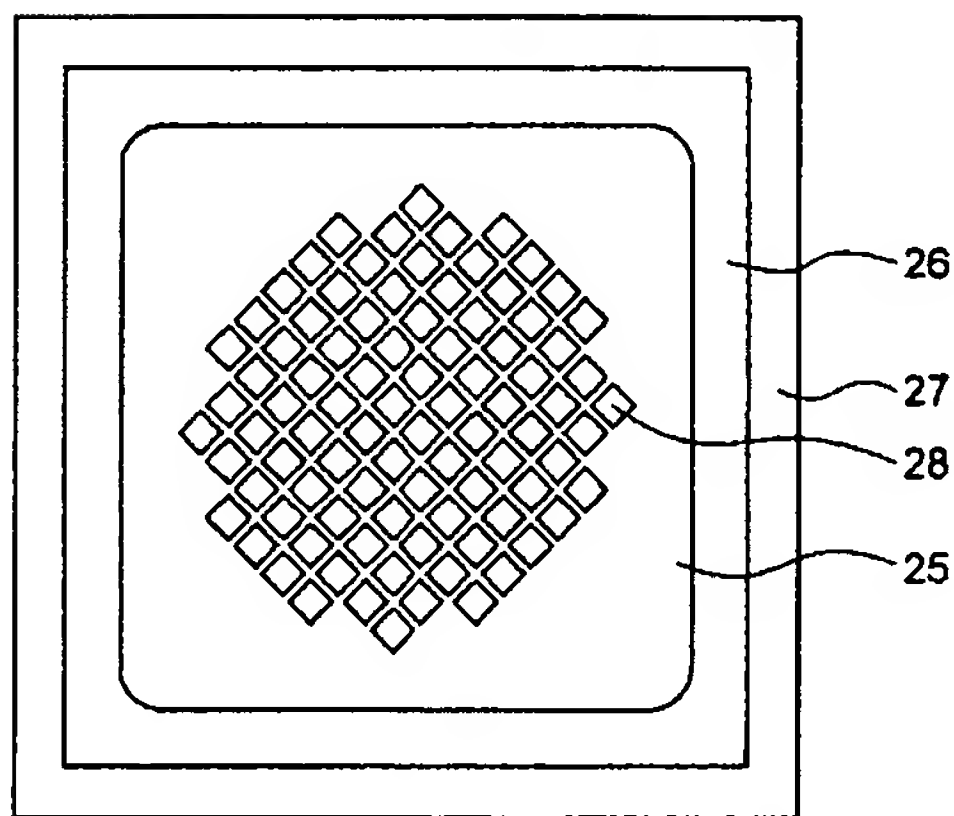
도면 4



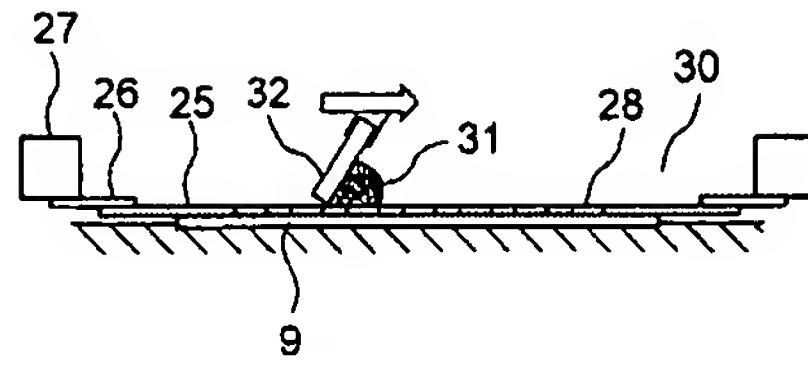
도면 5



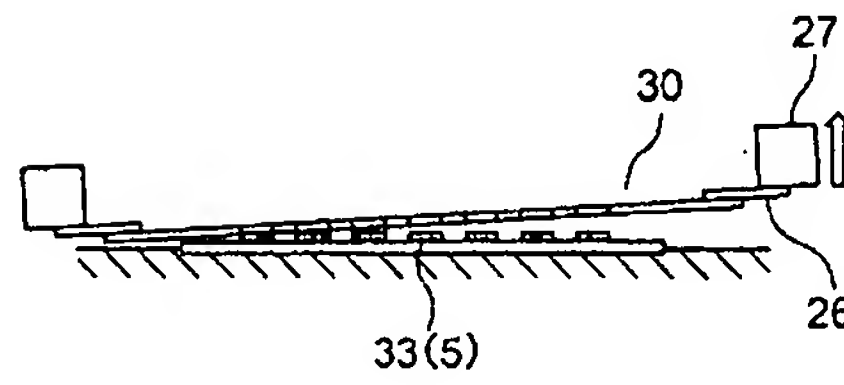
도면 6



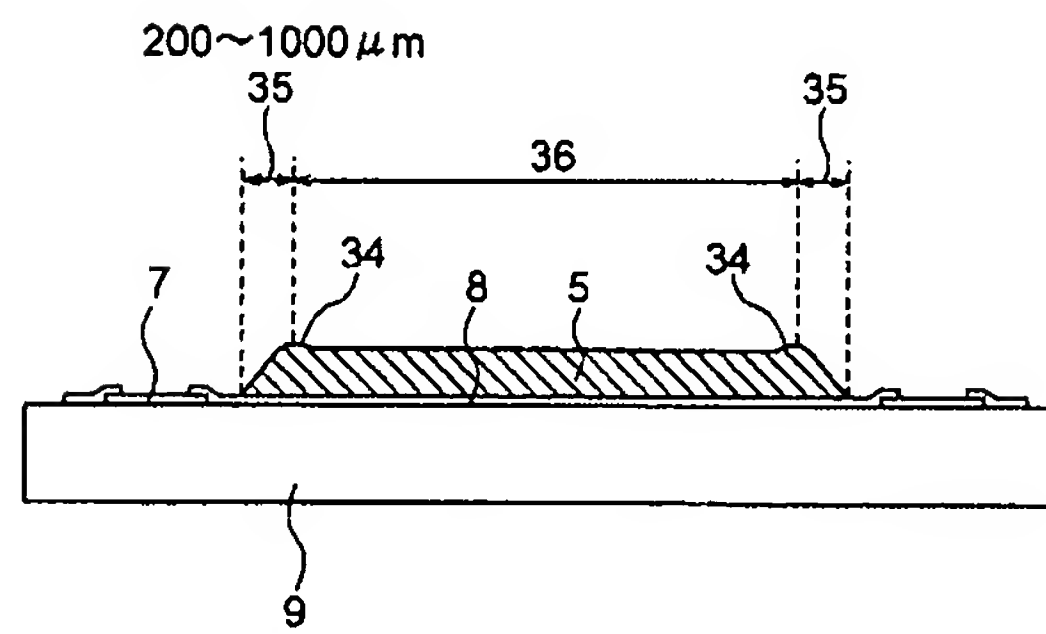
도면 7



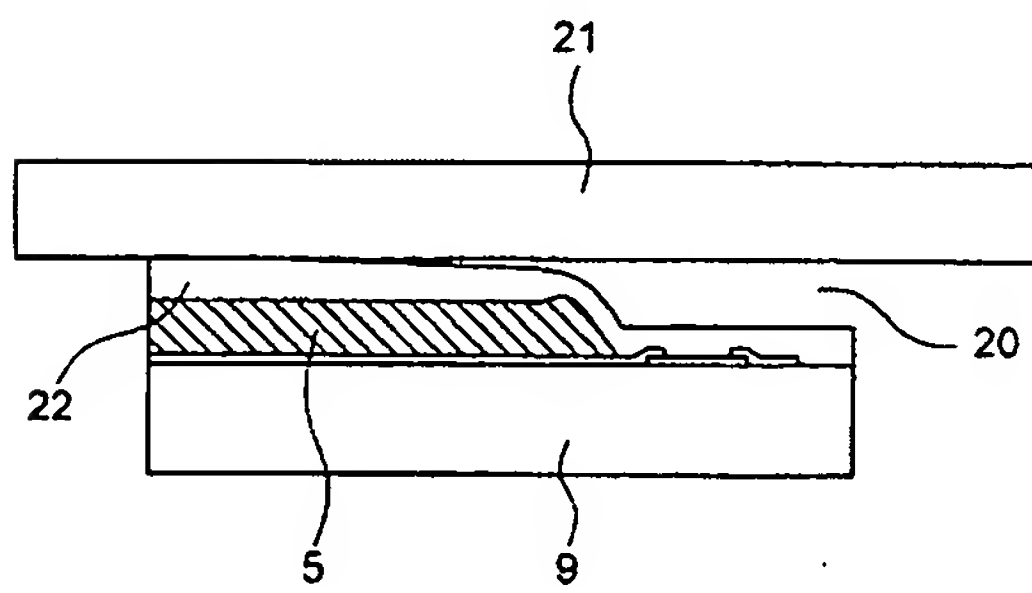
도면 8



도면 9

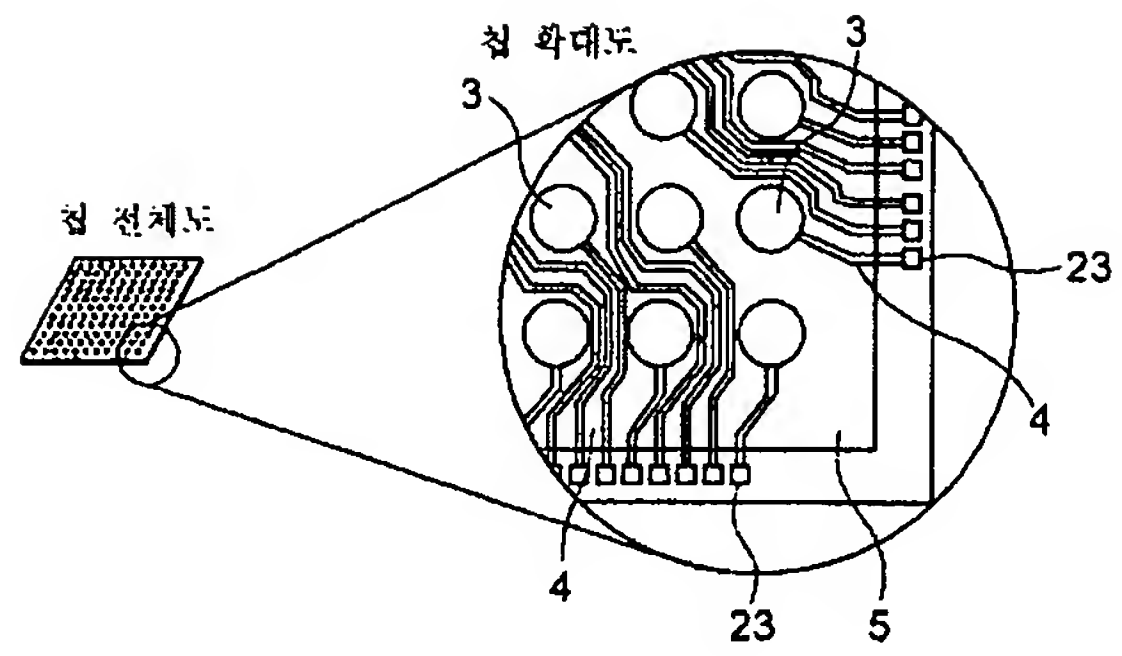


도면 10

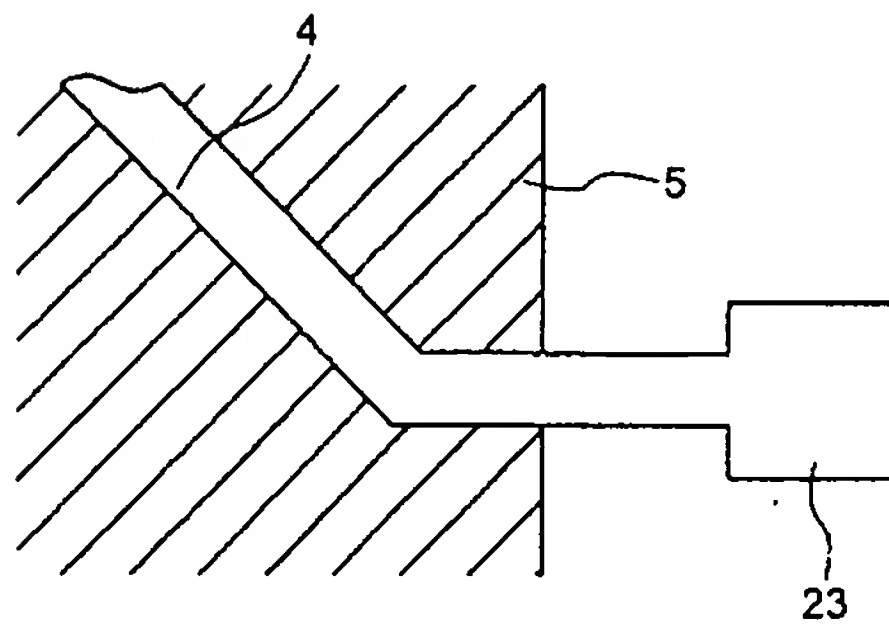




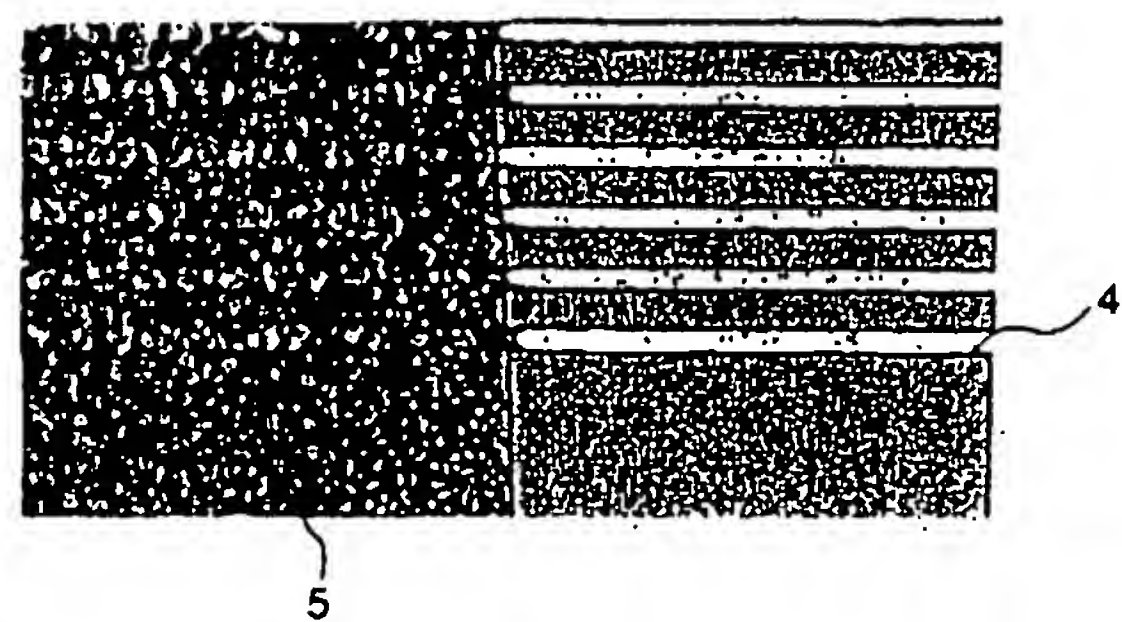
도면 11



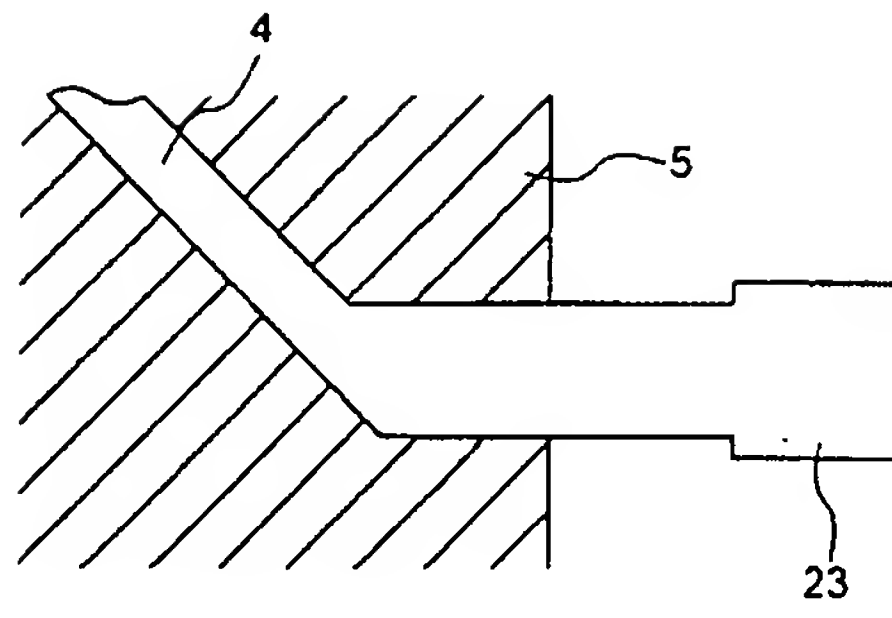
도면 12



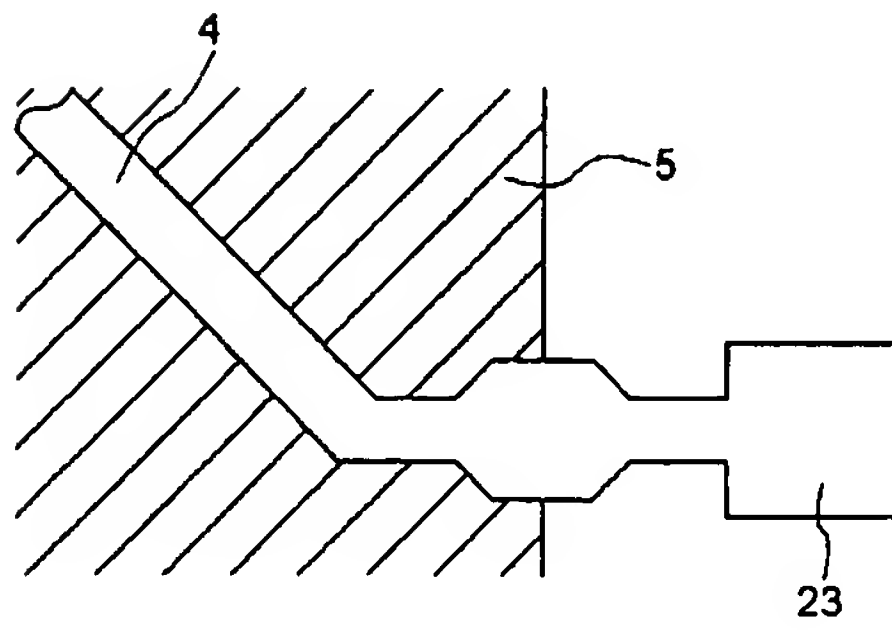
도면 13



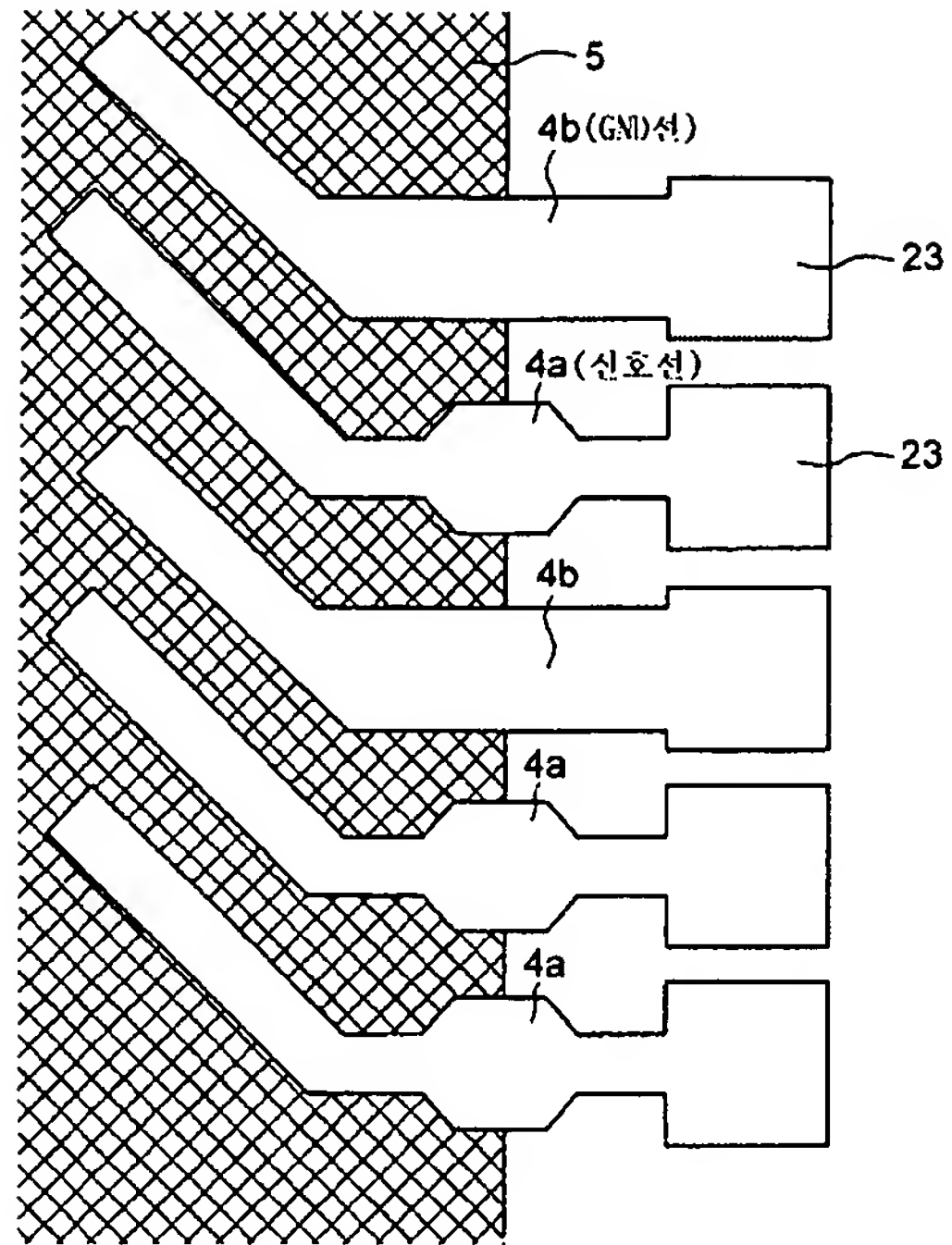
도면 14



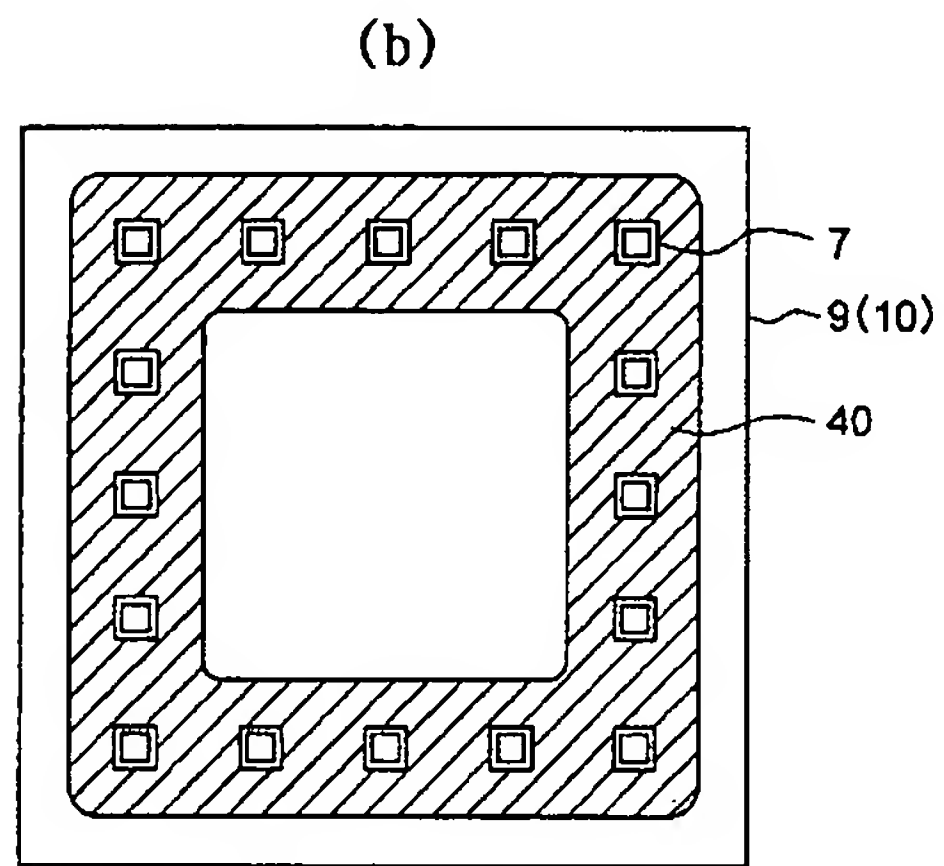
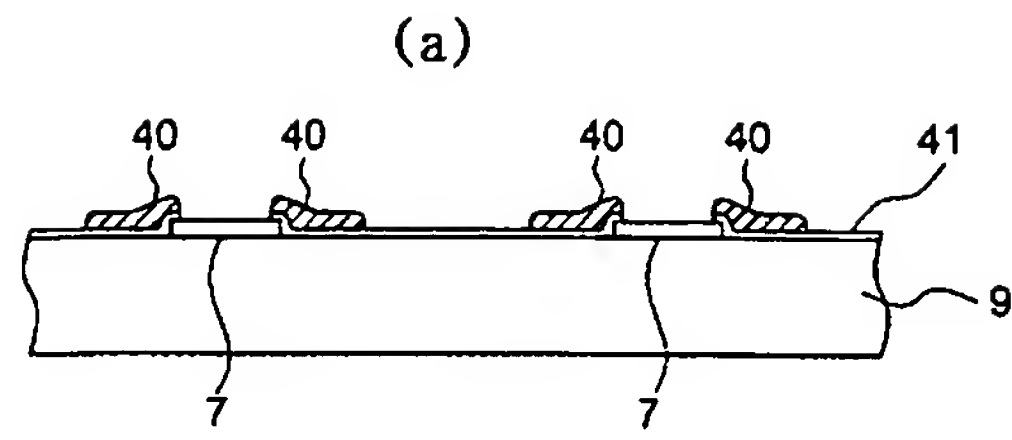
도면 15



도면 16



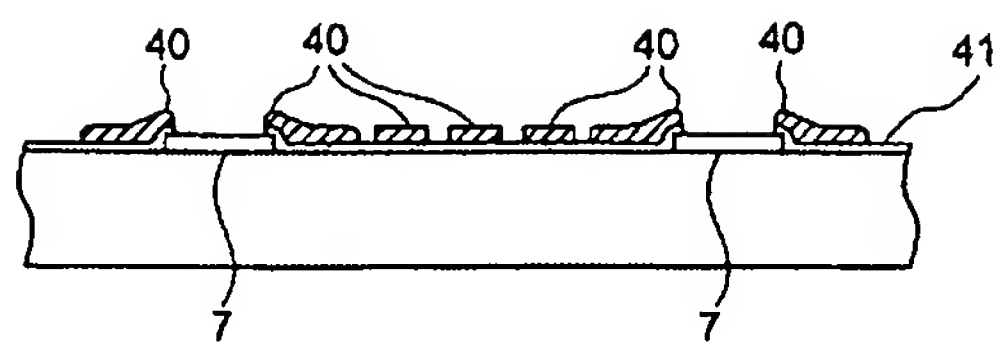
도면 17



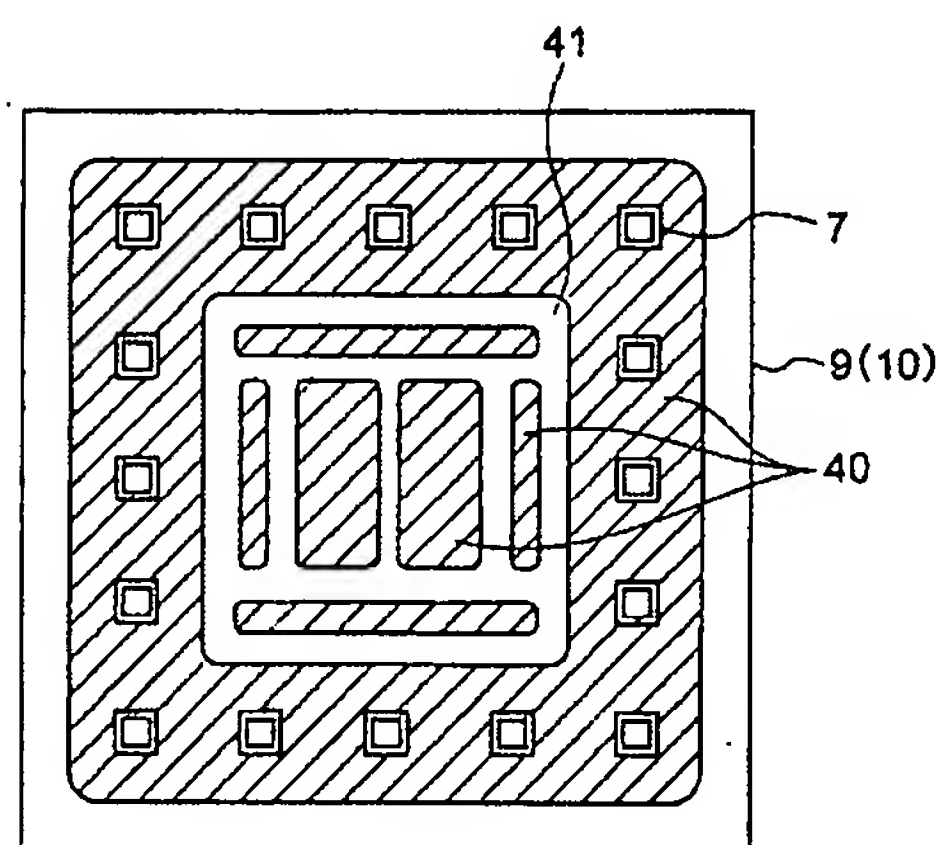


도면 18

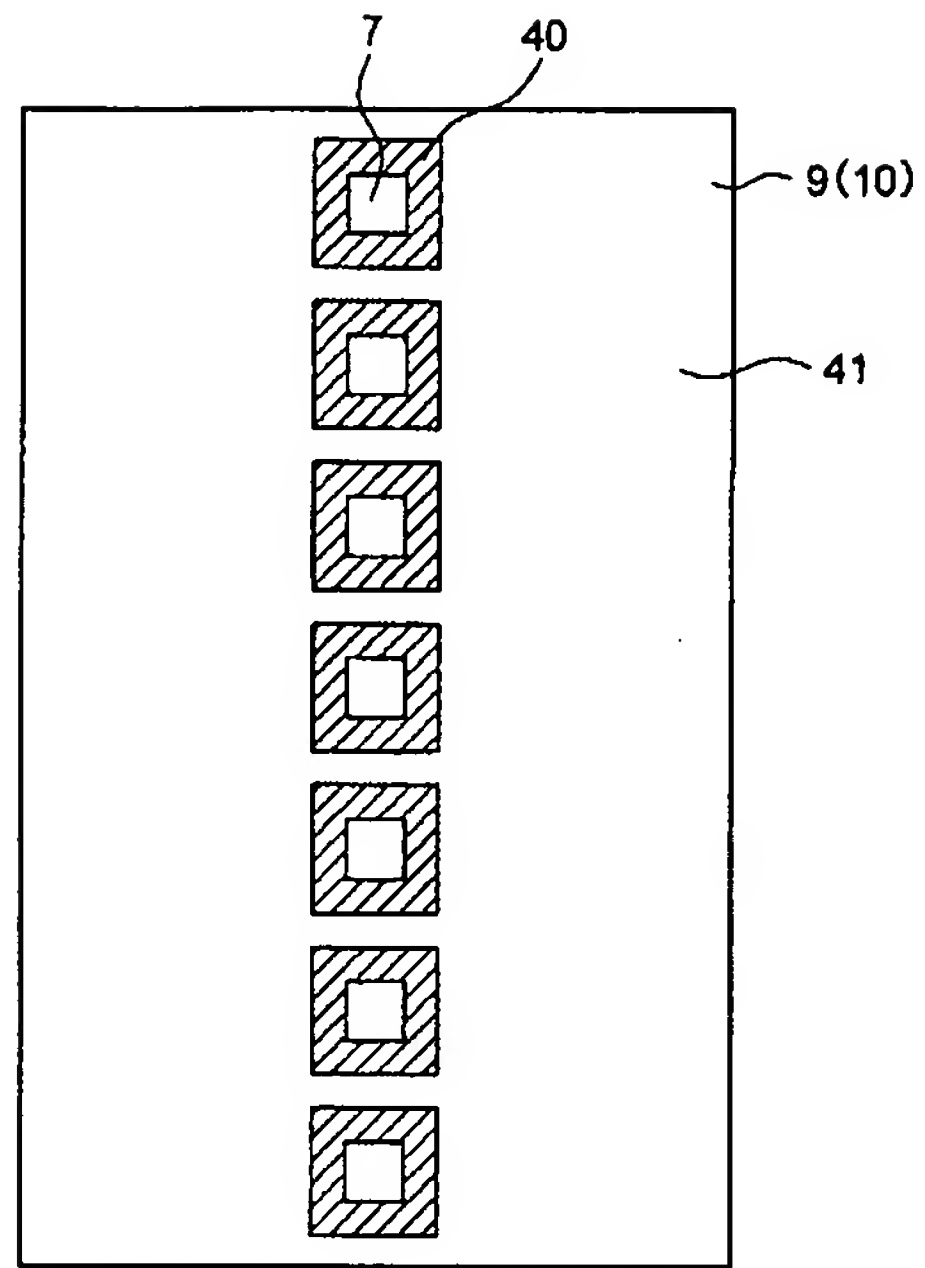
(a)



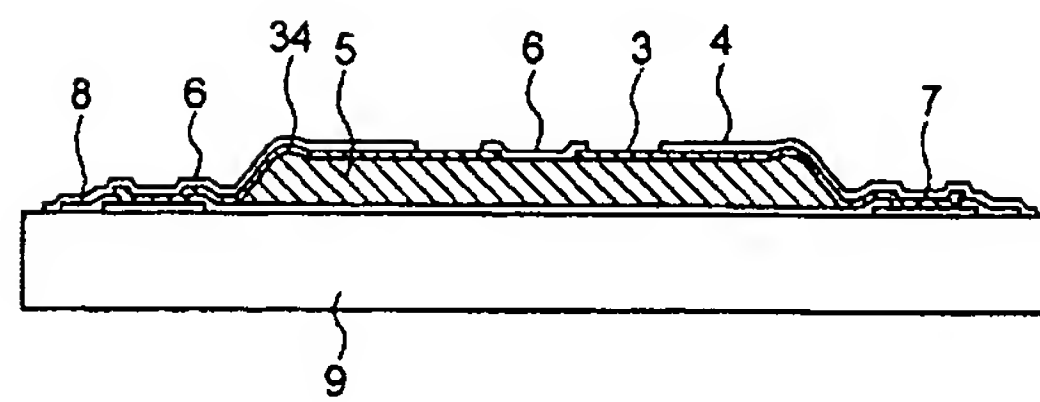
(b)



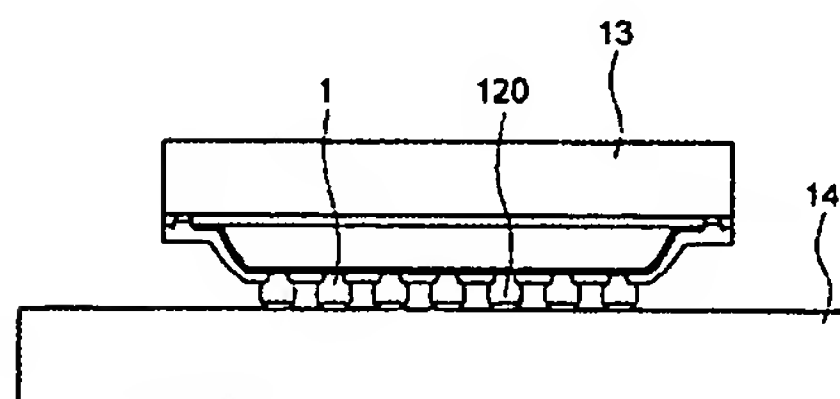
도면 19



도면 20

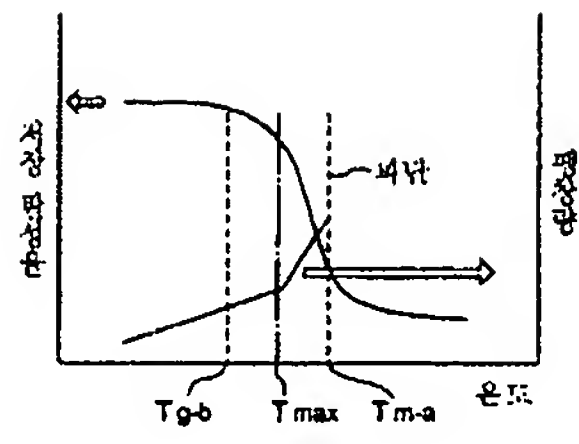


도면 21

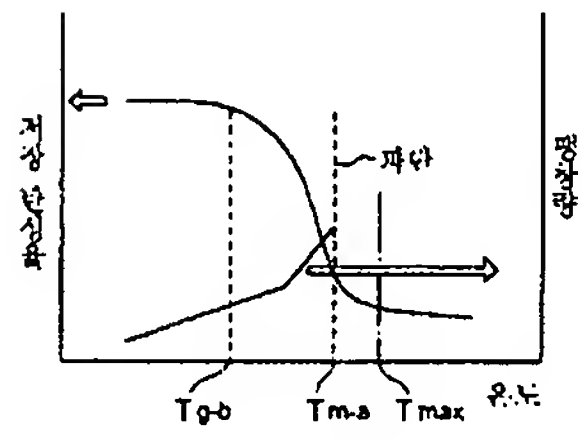


# 도면 22

(a)

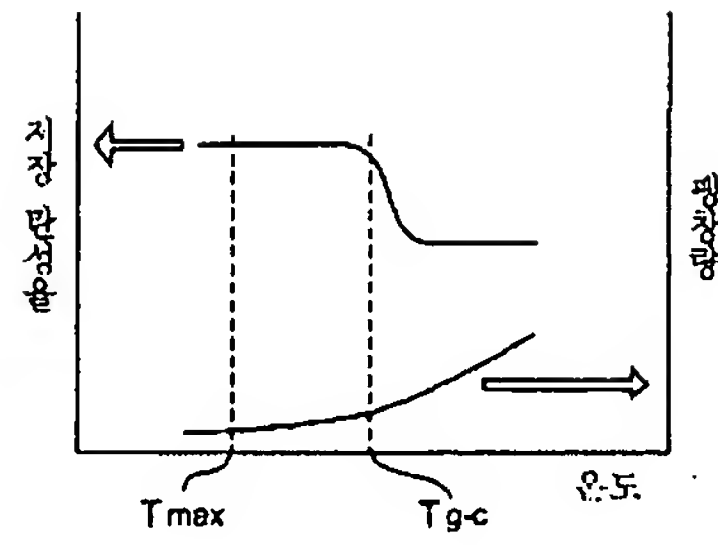


(b)

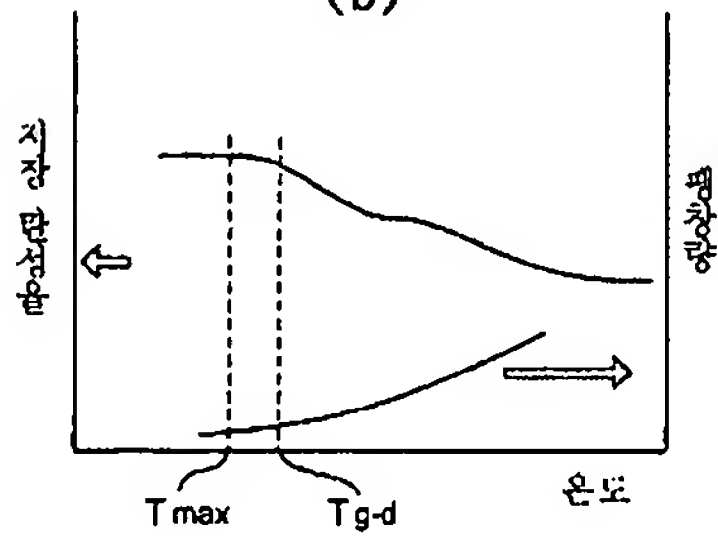


도면 23

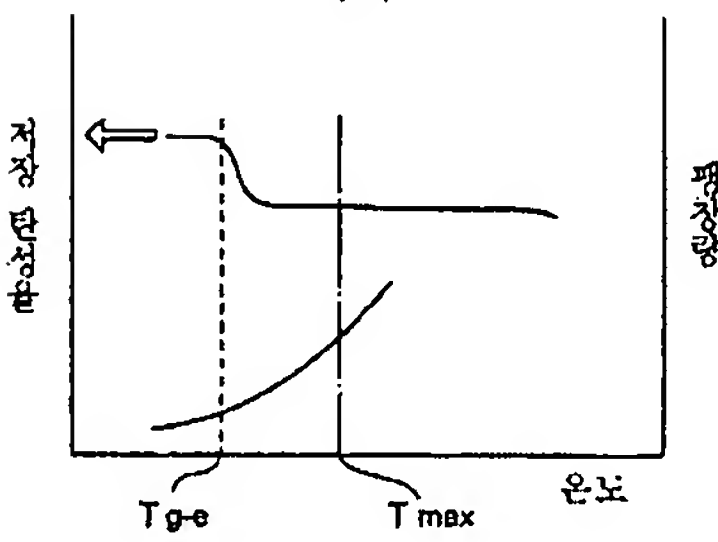
(a)



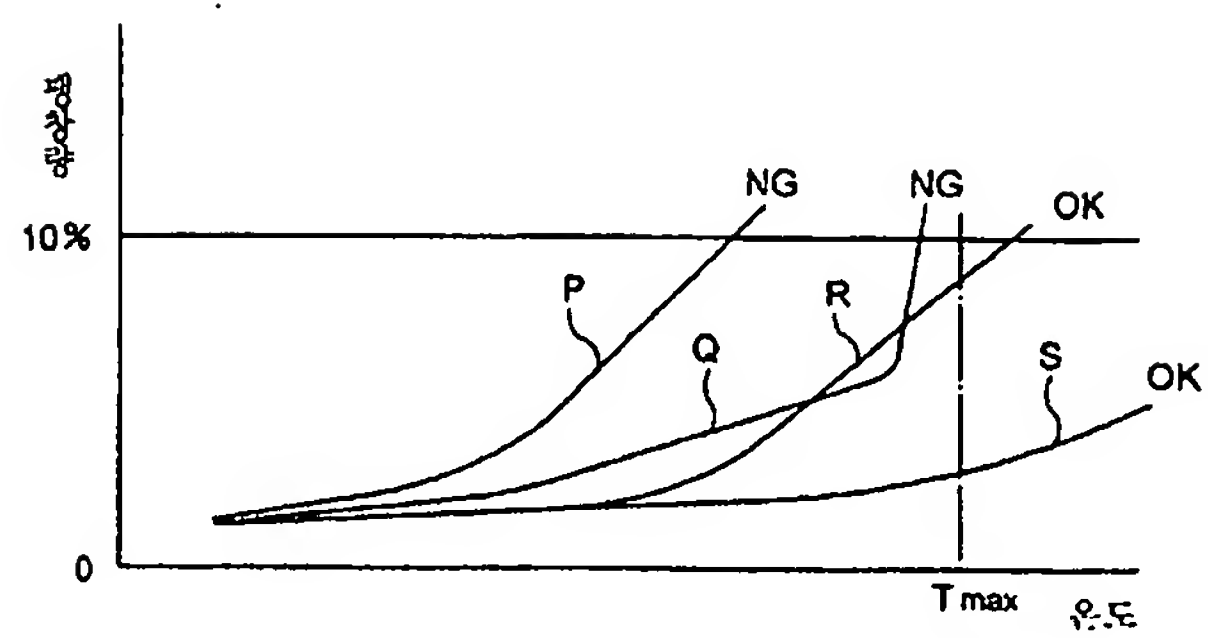
(b)



(c)

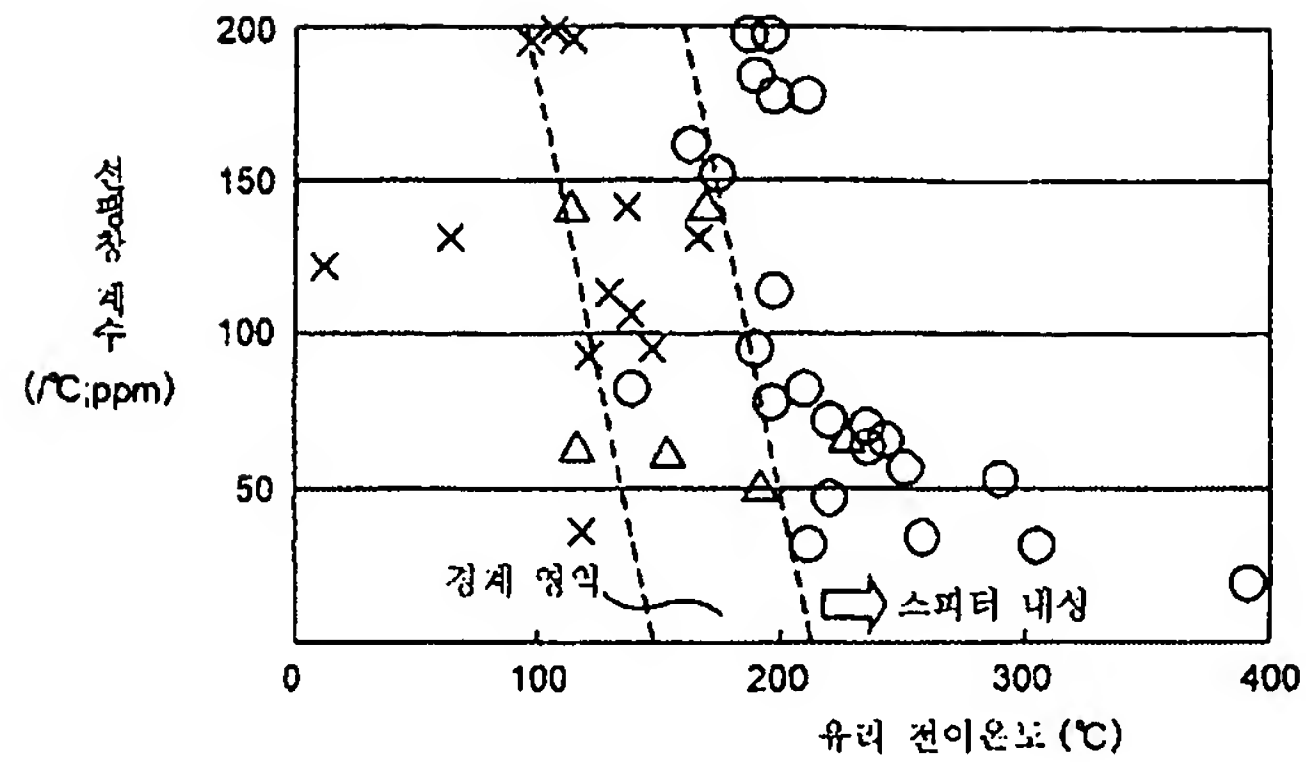


도면 24





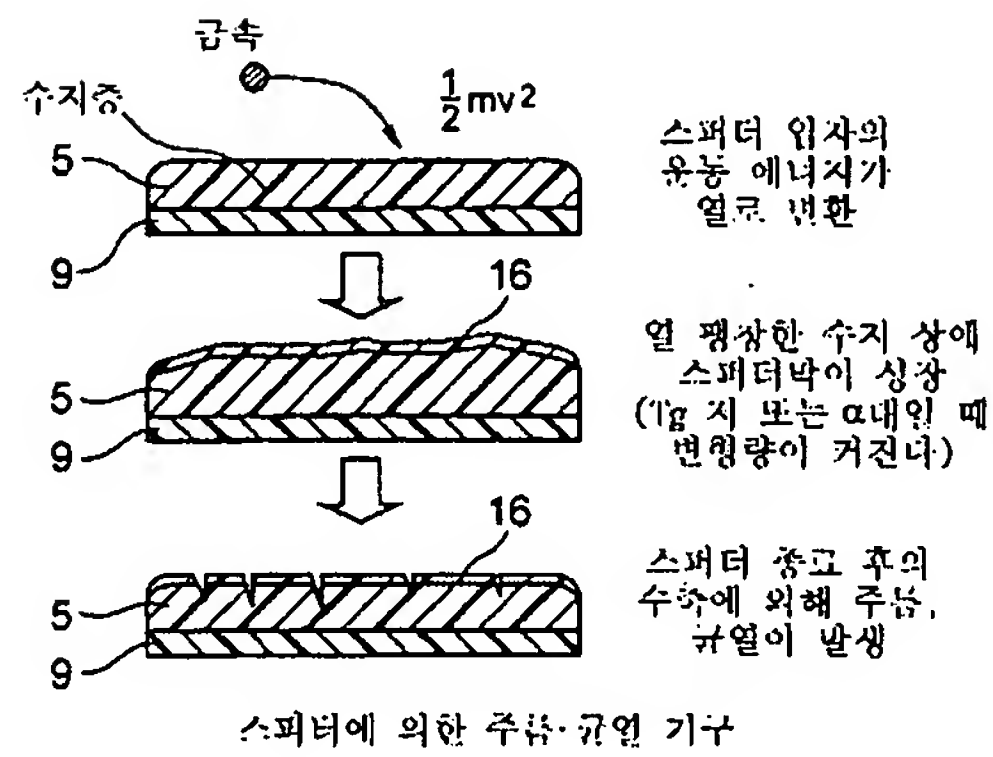
도면 25



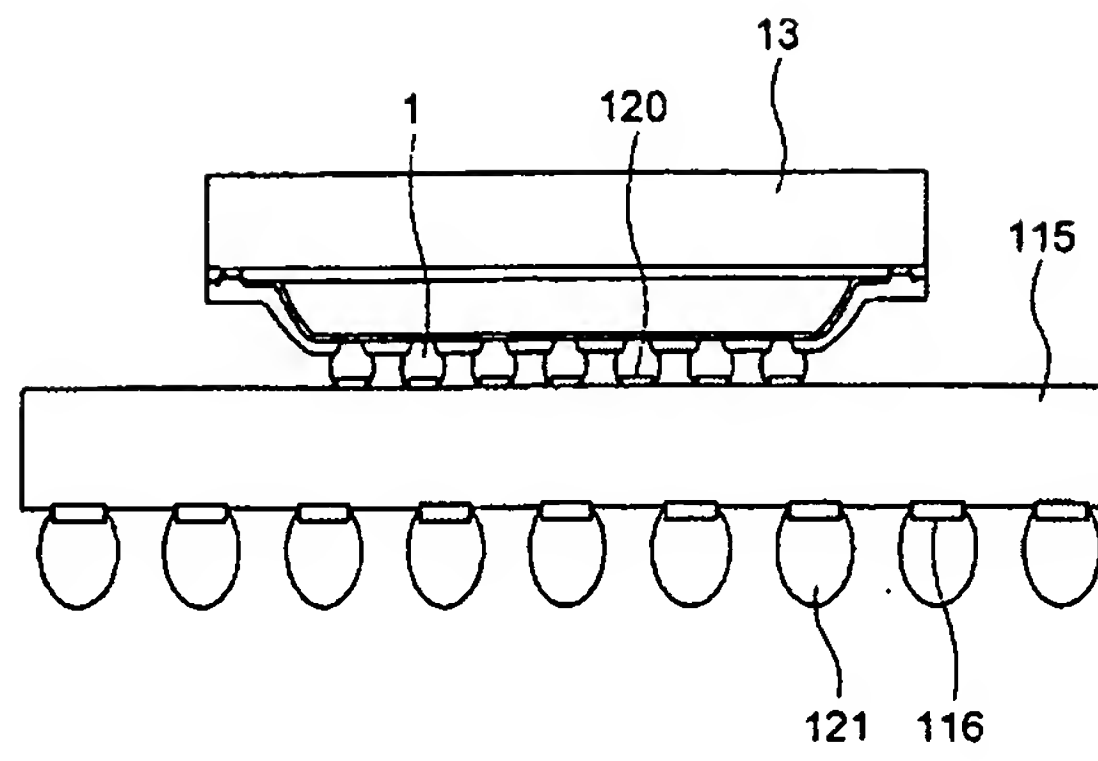
유리 알파층 후보 재료의 흡수치와 스퍼터 내성

( X : 균열 발생  
Δ : 수축 발생  
O : 이상무 )

도면 26



도면 27



도면 28

